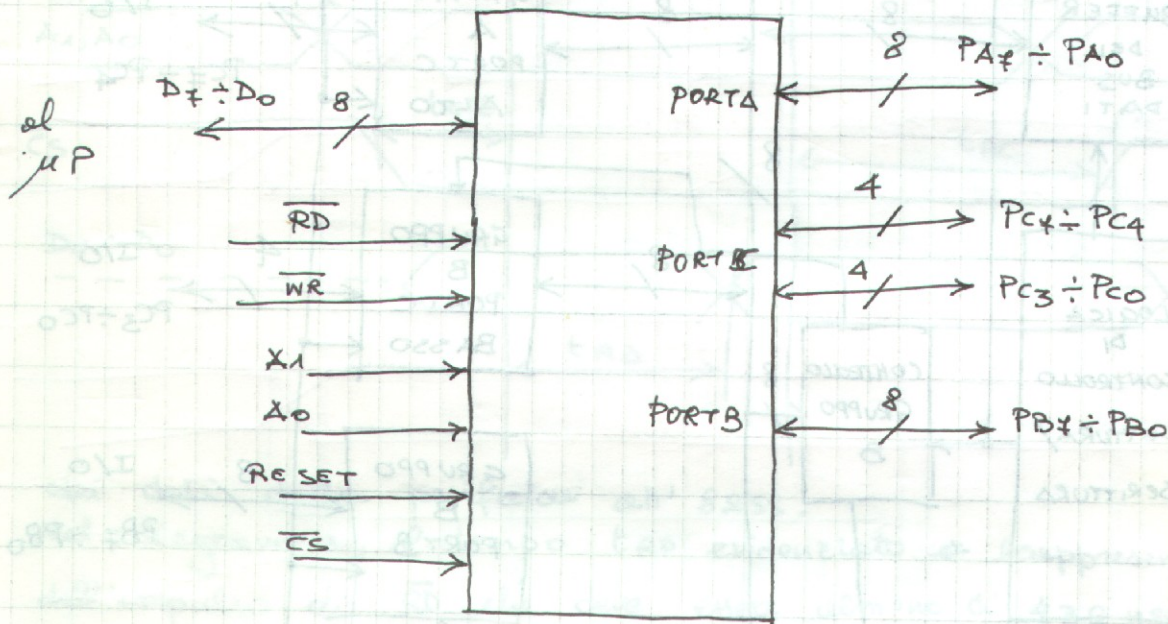


PPI 8255

L'Intel PPI 8255 è un'interfaccia parallela per la comunicazione tra μP e periferiche ed assolve praticamente agli stessi scopi visti per il PIO 8280. La sigla PPI è un acronimo per Programmable Peripheral Interface: interfacce periferiche programmabili.

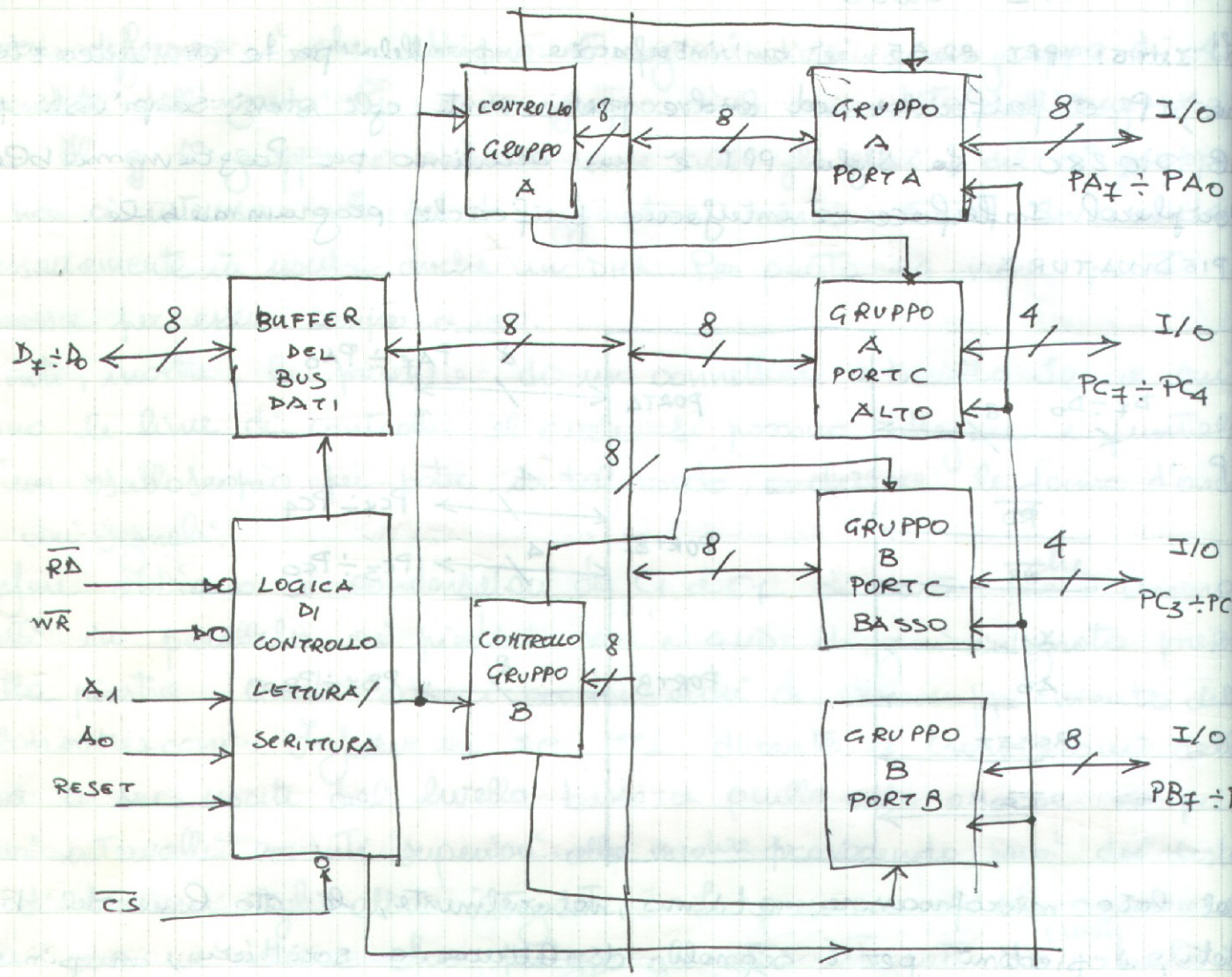
PIEDINATURA



Dal lato microprocessore notiamo, naturalmente, le otto linee del bus dati; i piedini per i segnali di lettura e scrittura, un pin di RESET attivo alto per resettare questa interfaccia, un segnale di chip select, e due segnali X_1 e X_0 per selezionare uno dei tre port disponibili secondo la solita tabella binaria

X_1	X_0	
0	0	port A
0	1	port B
1	0	port C
1	1	registro di controllo

La struttura interna dell'8255 è nella figura seguente

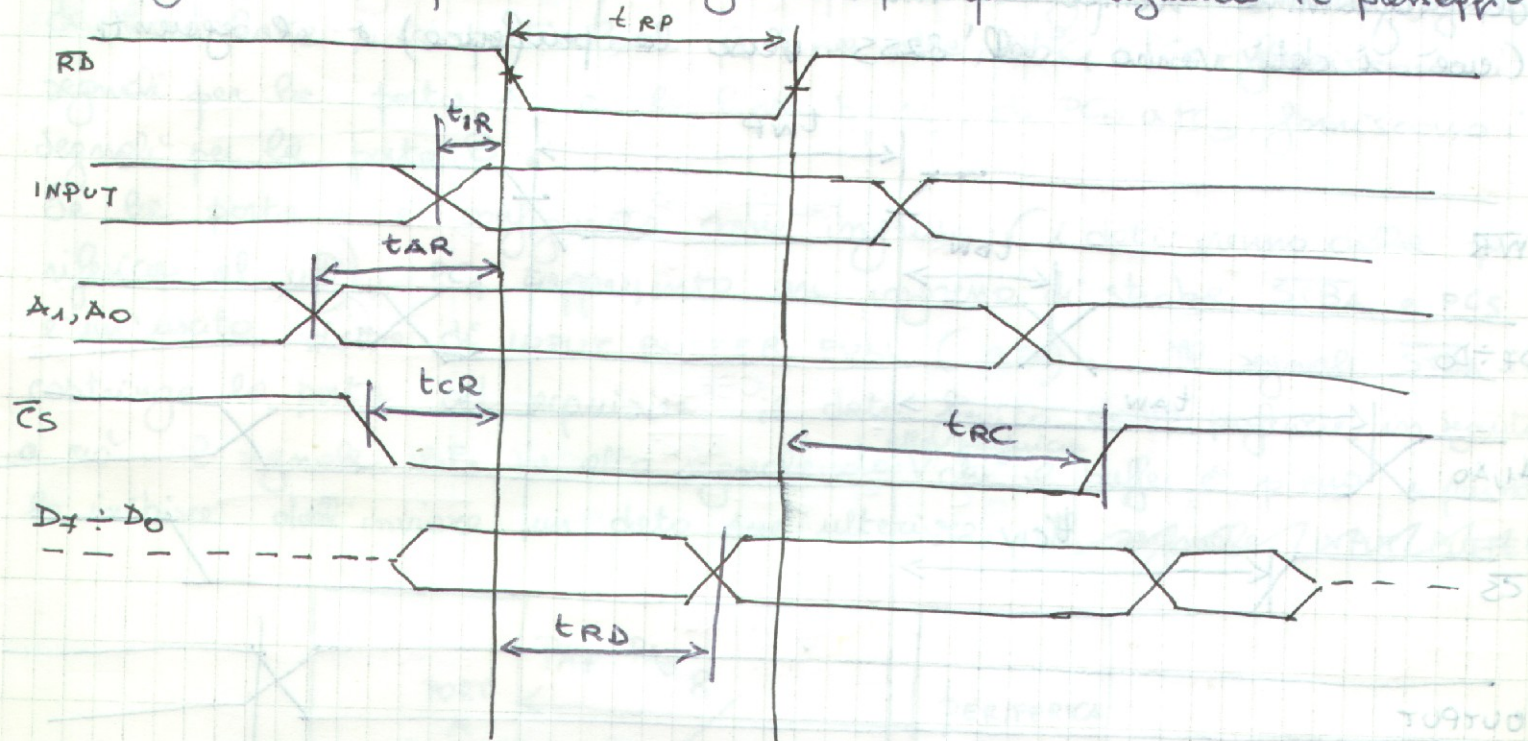


Il pin di RESET allo stato logico 1 provoca l'inizializzazione dell'8255 per cui il registro di controllo viene azzerato e tutte le linee dei port vengono poste considerate come ingressi.

Per i port sono possibili 3 modi di funzionamento diversi.
MODO 0

Nel modo zero è possibile il passaggio dei dati attraverso le linee dei port ^{o in ingresso oppure in uscita} ~~in entrambi i sensi~~ per operazioni di I/O con periferiche. Se le linee del port sono ingressi il loro valore logico viene con il livello impostato dalle periferiche interfacciate dell'8255, se le linee sono di uscita rimangono bloccate al livello voluto.

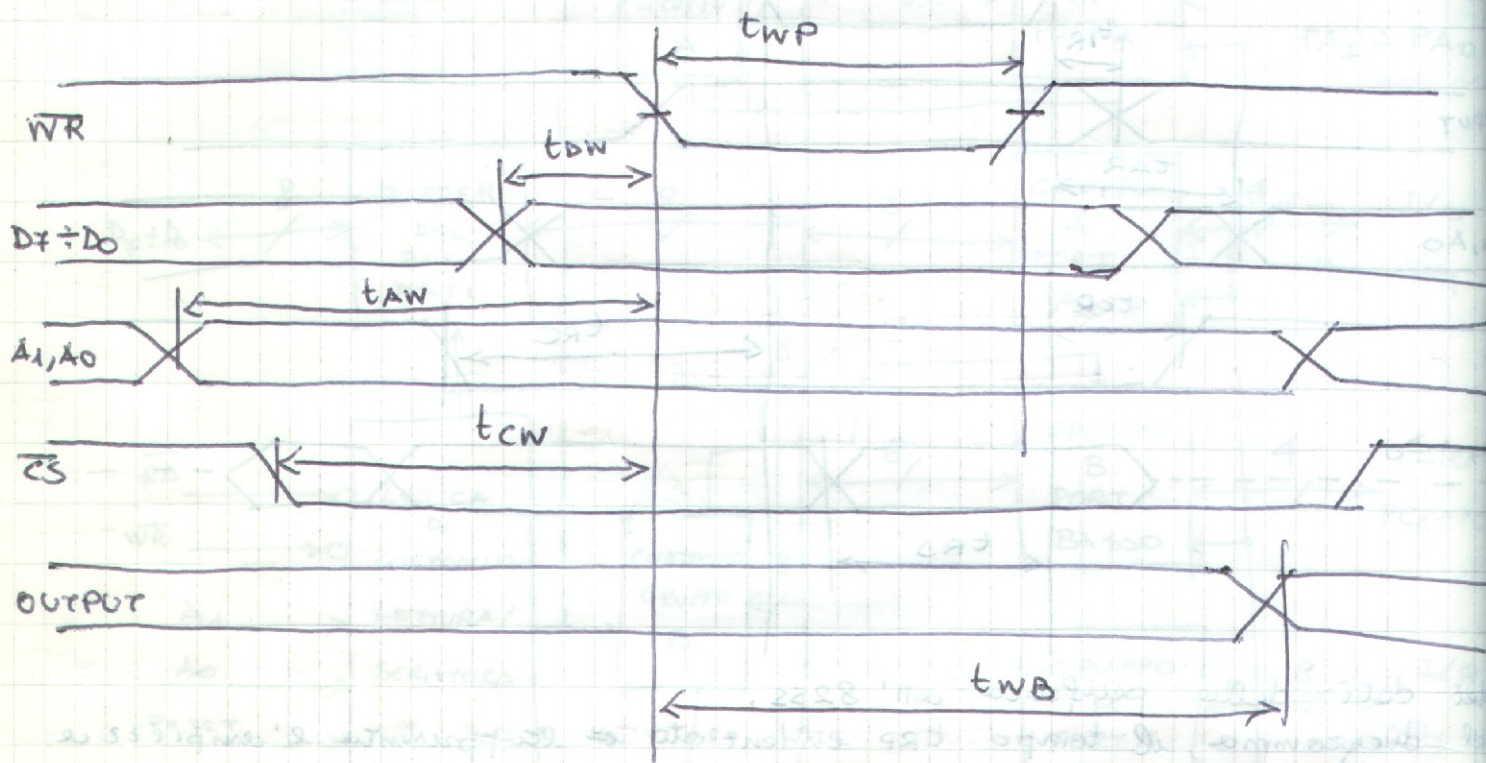
Il diagramma temporale è il seguente per quanto riguarda il perneppio



dei dati della periferica all' 8255.
 Nel diagramma, il tempo t_{RP} evidenziato è rappresentato l'ampiezza dell'impulso di \overline{RD} che deve essere almeno di 430 ns (dei dati sheet).
 Il tempo t_{IR} (\overline{RD} -set-Up Time) rappresenta l'anticipo con cui devono essere presenti i dati in ingresso prima alla porta prima che si attivi il segnale di READ, il valore minimo di quest'anticipo deve essere 50 ns.
 Il tempo t_{AR} (time address stable before \overline{RD}) rappresenta il tempo minimo con cui i segnali A_1 ed A_0 si attivano per selezionare il canale rispetto all'attivazione di \overline{RD} (50 ns minimo). Il tempo t_{CR} rappresenta l'anticipo con cui si deve attivare il chip select prima che si attivi \overline{RD} (50 ns).
 t_{RD} rappresenta il ritardo fra l'attivazione del \overline{RD} e la disponibilità dei dati sul bus verso il μP (350 ns minimo).
 t_{RC} è il ritardo che intercorre fra la disattivazione del \overline{RD} e la disattivazione del \overline{CS} (5 ns minimo).

4

Il diagramma temporale in modo zero per un ciclo di output (cioè i dati vanno dall'8255 verso la periferica) è il seguente



t_{WP} è l'ampiezza minima dell'impulso di WRITE che è al massimo di 430 ns; t_{DW} è il tempo minimo di anticipo minimo con cui i dati devono essere presenti all'ingresso dell'8255 prima che dell'attivazione di WRITE; t_{AW} è l'anticipo con cui si devono stabilizzare A_1 e A_0 prima dell'attivazione di \overline{WR} che deve essere almeno di 20 ns; t_{CW} è il tempo l'anticipo con cui si deve attivare \overline{CS} rispetto a \overline{WR} (20 ns almeno); t_{WB} è il ritardo tra l'attivazione del \overline{WR} e la stabilizzazione dei dati sull'uscita delle porte (che è al massimo di 500 ns)

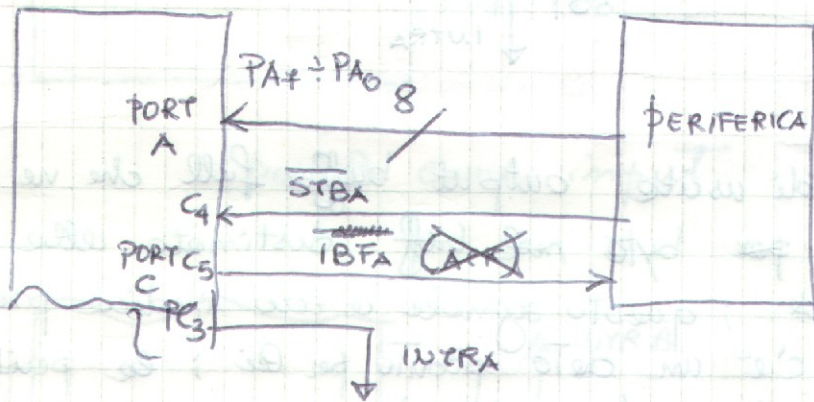
Modo 1

Nel modo 1 una parte dell'8253 può scambiare dati con una periferica o in ingresso o in uscita però come nel modo 0. Questo nel modo 1 è, però, implementato un protocollo di HANDSHAKE.

In questo modo le porte A e B possono scambiare dati con due

periferiche mentre le linee della porta C vengono usate come segnali di handshake; in particolare le linee alte, da PC4 a PC7, forniscono i segnali per la porta A e le linee basse, da PC0 a PC3, forniscono i segnali per la porta B.

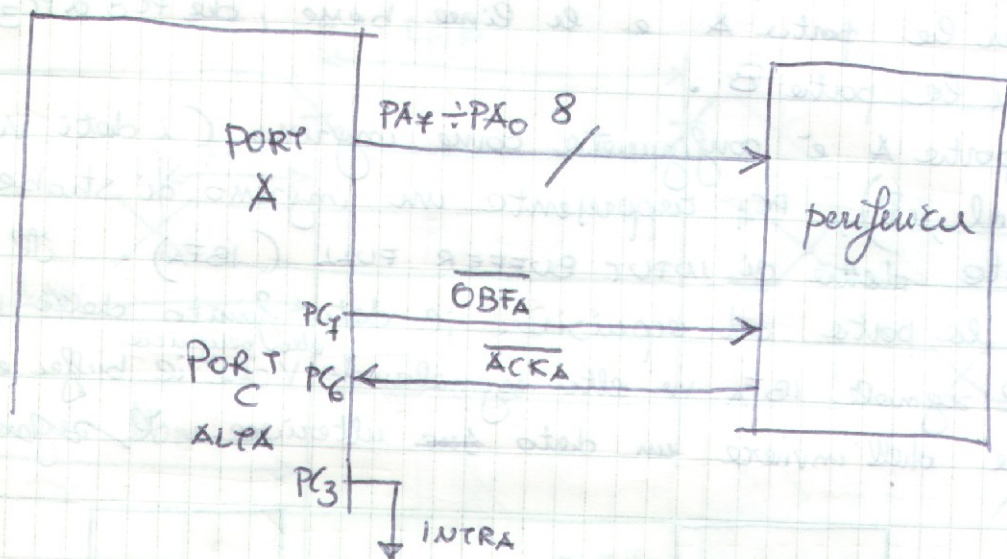
Se la porta A è configurata come ingresso (i dati vanno dalla periferica al μP), PC4 rappresenta un ingresso di strobe \overline{STBA} e PC5 è un'uscita detta di INPUT BUFFER FULL (IBFA). Il segnale $\overline{STBA} = 0$ costringe la porta ad acquisire il dato fornito dalla periferica; in seguito a ciò il segnale IBFA va alto segnalando ^{alla periferica} che il buffer è pieno e quindi la inibisce dall'inviare un dato ~~successivo~~. Il segnale ~~INPUT BUFFER~~



Full si può anche chiamare ~~ACK~~ segnale di riconoscimento o acknowledge (ACK). Il segnale PC3 si può usare invece per generare un'interruzione al μP . Come vedremo nel diagramma di temporizzazione viene generato un segnale di INTERRUPT quando, dopo l'abilitazione del dato si ha $\overline{STBA} = 1$ e $\overline{IBFA} = 1$. La possibilità di porta è abilitata o generare interruzioni ponendo un 1 sul piedino PC4, tale azione non è detto che avvenga fisicamente ma si può forzare un 1 su questo piedino via software inviando un'opportuna parola di programmazione all'8255 mediante una modalità apposita detta di SET/RESET che vedremo successivamente. Della parte alta della porta C rimangono non utilizzati PC6 e PC7 i quali possono essere sfruttati come 2 linee

6

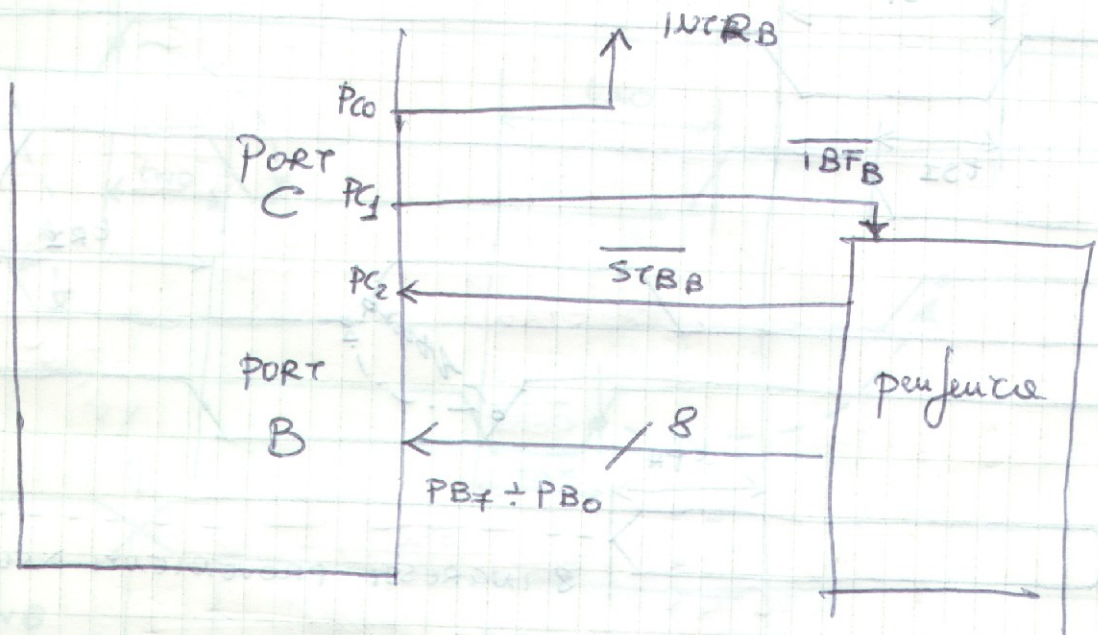
di ingresso o due linee di uscite (a seconda della programmazione).
 Se la porta A è configurata, invece, come uscite si ha che



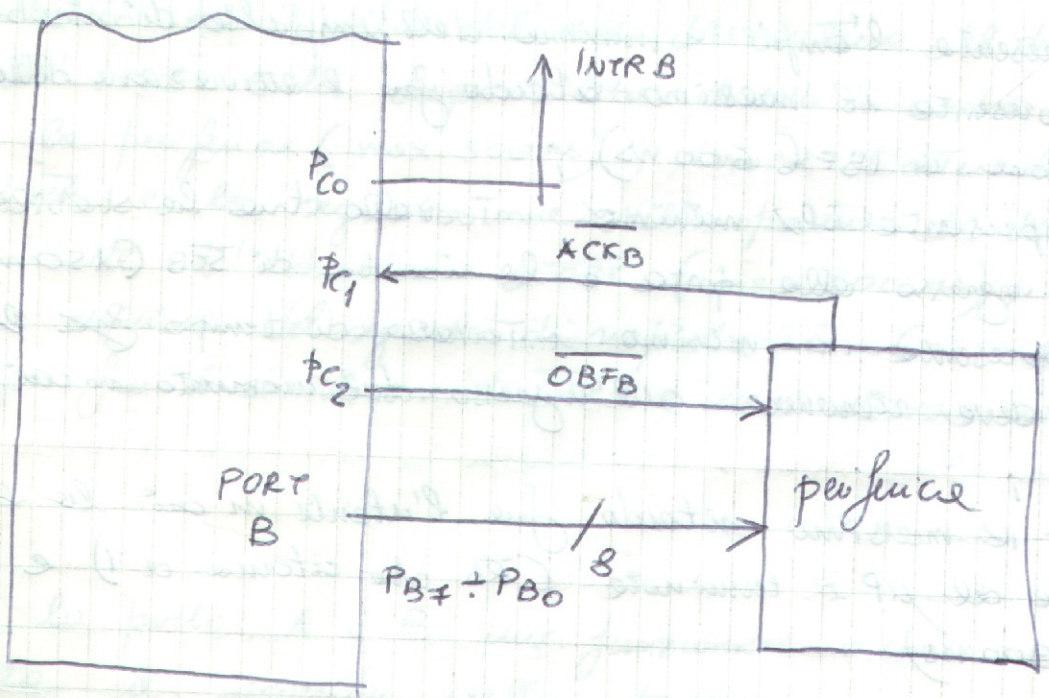
PC7 è un segnale di uscite output buffer full che va a zero quando il μP scrive una per byte nel buff. destinato alla periferica nel buffer del PORT A; questo segnale a zero indica praticamente alla periferica che c'è un dato pronto per lei; la periferica risponde con un segnale di acknowledge (\overline{ACKA}) che pone a zero. Sul pin PC3 si genera un segnale di interrupt alto quando la periferica ha acquisito il dato, per cui si verifica che $OBFA = 1$ e $\overline{ACKA} = 1$ (vedi diagramma Temporale). L'abilitazione a generare interruzioni avviene ponendo PC2 ad 1 con un'operazione di SET/RESET. Se gli I-piedi restanti sono PC5 e PC4 che possono essere o ingressi o uscite.

Discorso analogo per il port B. Se funziona da ingresso, PC2 è la linea di ingresso strobe \overline{STBB} , PC1 è la linea di uscite IBFB, e PC0 genera l'interruzione INTRB. Se funziona per abilitare a generare interruzioni va messo un 1 sul piedino PC2. Se, invece, la porta funziona da uscite, PC2 ha la funzione di segnale di uscite \overline{DBFB} , PC1 ha la funzione di

ingresso di $\overline{ACK_B}$ e PC_0 genera $INTR_B$. In questo caso si abilita di interruzione ponendo a 1 i bit PC_6 La generazione

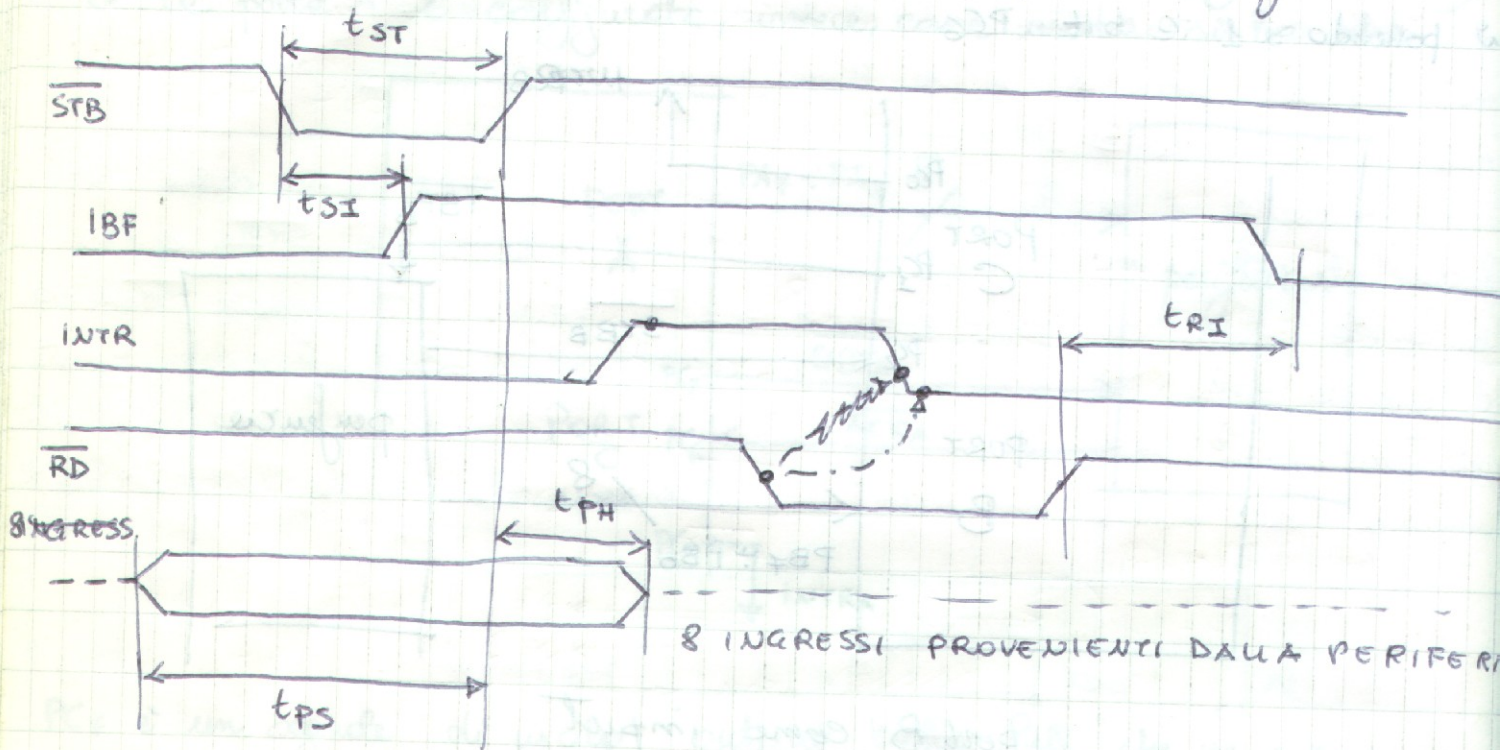


port B come input



port B come output

Il diagramma temporale del modo 1 in input è il seguente



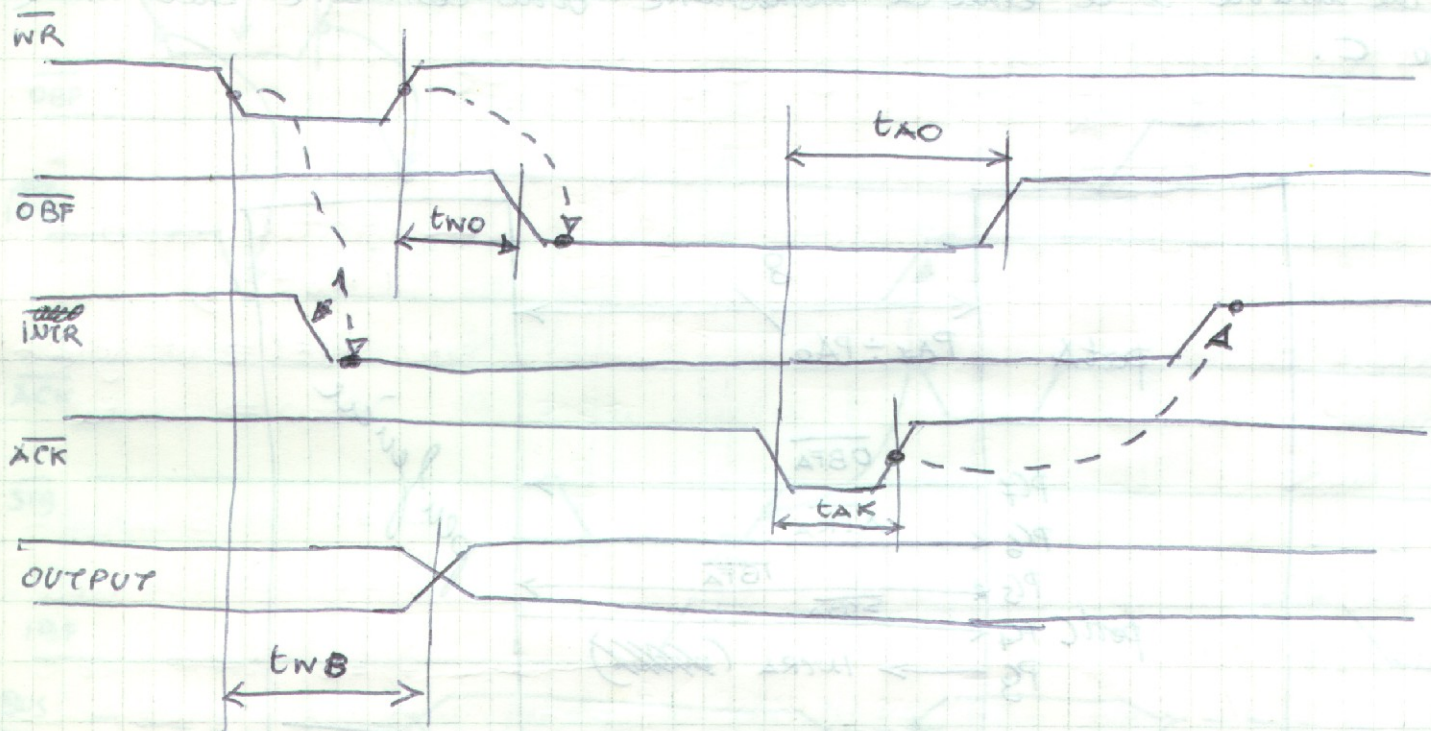
t_{ST} rappresenta l'ampiezza minima dell'impulso di strobe (350 ns);
 t_{SI} rappresenta il massimo ritardo fra l'attivazione dello strobe e l'affiezione di IBF (600 ns);

t_{PS} rappresenta il minimo intervallo tra la stabilizzazione del dato in ingresso alla porta e la risalita di STB (150 ns);

t_{PH} rappresenta il minimo intervallo di tempo per il quale il dato deve rimanere all'ingresso del momento in cui STB è invalido (150 ns);

t_{RI} è il massimo ritardo fra l'istante in cui le lettere del dato che parte dal μP è terminata (RD che ritorna a 1) e la discesa di IBF (300 ns)

Il diagramma temporale del modo 1 in output è il seguente

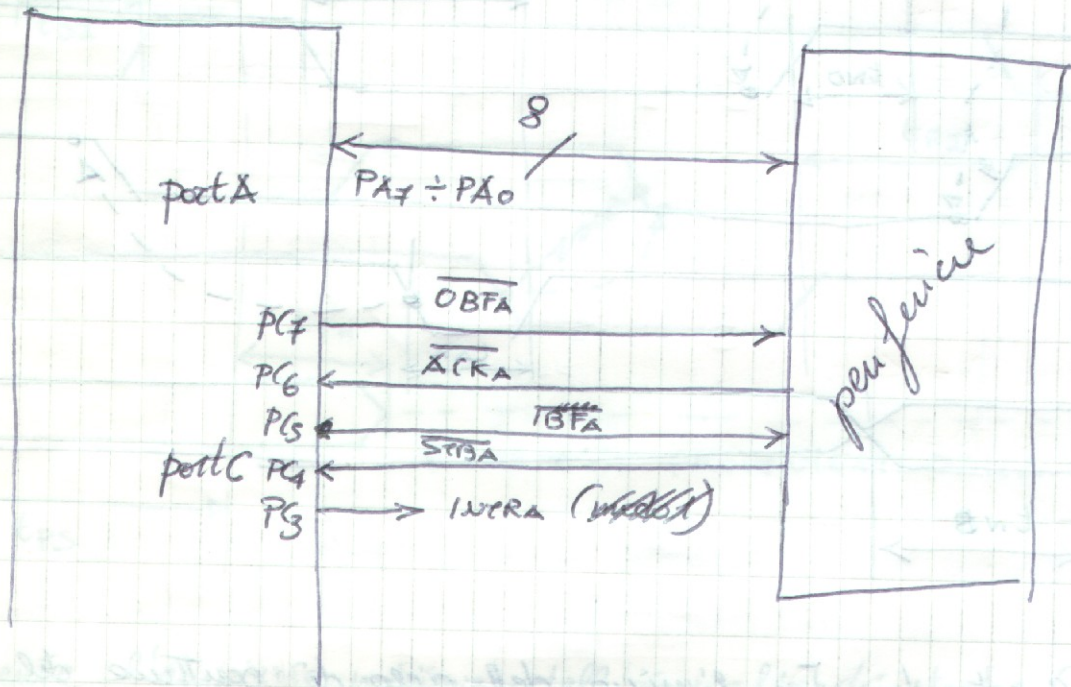


t_{WB} è il ritardo fra l'inizio del ciclo di scrittura del dato da parte del μP dell'8253 e la disponibilità di esso in uscita della porta verso la periferia (max 500 ns); t_{WO} è l'intervallo fra la uscita di \overline{WR} e la segnalazione della presenza del dato alla periferia mediante l'abbassarsi di \overline{OBF} (max 300 ns); t_{AK} è l'ampiezza minima del segnale di risposta \overline{ACK} (500 ns minimo); t_{AO} è il tempo fra l'attivazione di \overline{ACK} e la disattivazione di \overline{OBF} (max 500 ns).

MODO 2

Nel modo 1 la porta A o B può funzionare o come ingresso o come uscita a seconda della programmazione. Se si vuole operare una comunicazione half duplex occorre, invece, utilizzare il modo 2. In questo modo che è possibile solo per la porta X (confronta con il P10280)

quest'ultima può operare contemporaneamente ^{sia} che ingressi che uscite e le linee di handshake sono costituite dall'intero parte C.



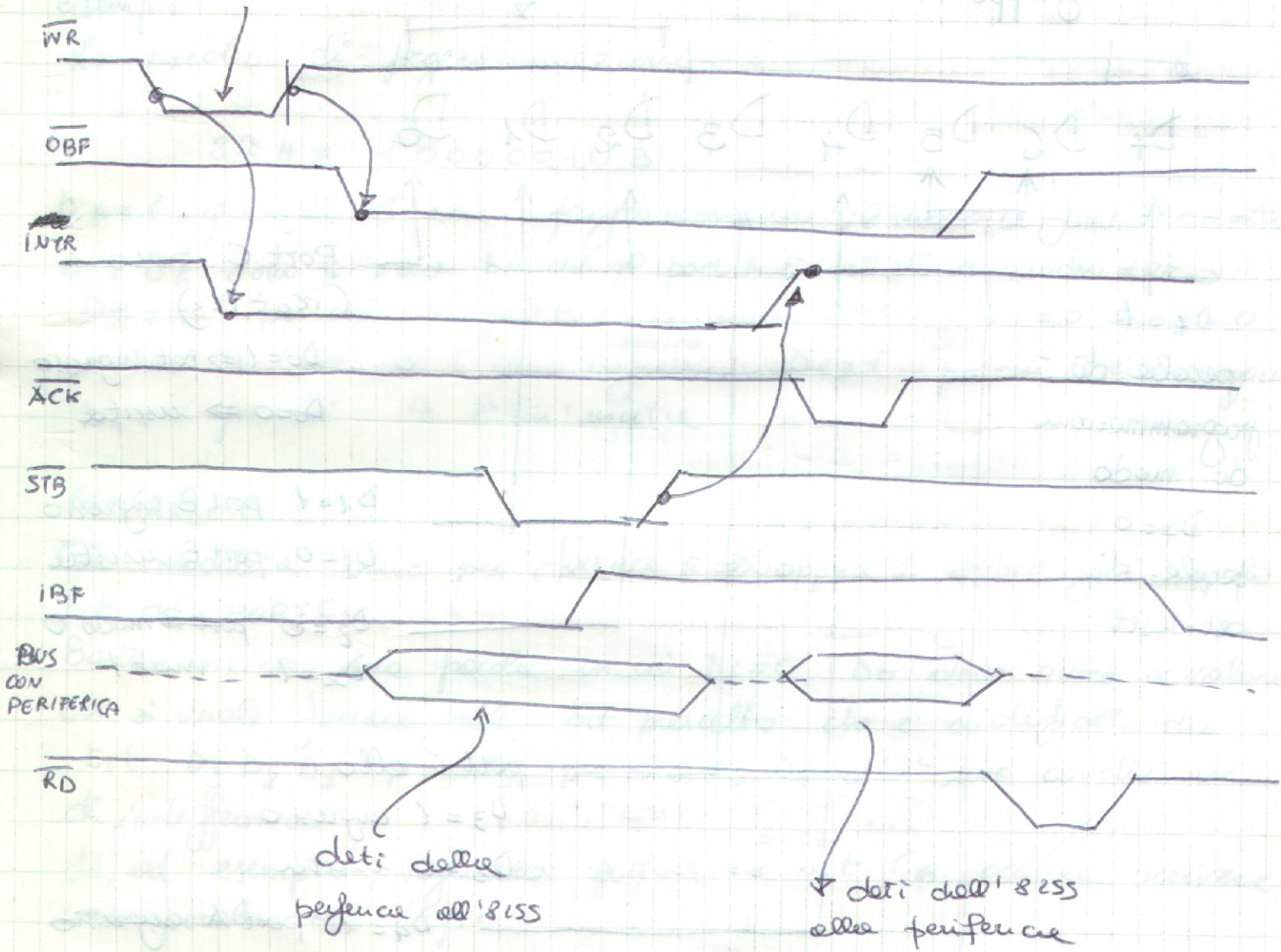
I controlli relativi all'uscita saranno $PC7$ (\overline{OBFA}) e $PC6$ (\overline{ACKA}) mentre i controlli relativi all'ingresso sono $PC5$ (\overline{IBFA}) e $PC4$ (\overline{STBA}) mentre $PC3$ genera il segnale $\overline{INTR_A}$.

~~MODALITÀ~~ PROGRAMMAZIONE DELL'8255

La programmazione dell'8255 avviene inviando al registro omomero la parola di controllo. Il registro di controllo è composto da due blocchi che, nello schema delle strutture interne dell'8255 abbiamo chiamato controllo gruppo A e controllo gruppo B. Nel 1° andranno i bit $D_6 \div D_3$ e nel secondo i bit $D_2 \div D_0$. Il bit D_7 non fa parte dei bit di controllo ma serve a specificare se la parola inviata è una parola di programmazione di una porta ($D_7=1$) oppure è una parola che serve per fare un'operazione di set-reset ($D_7=0$).

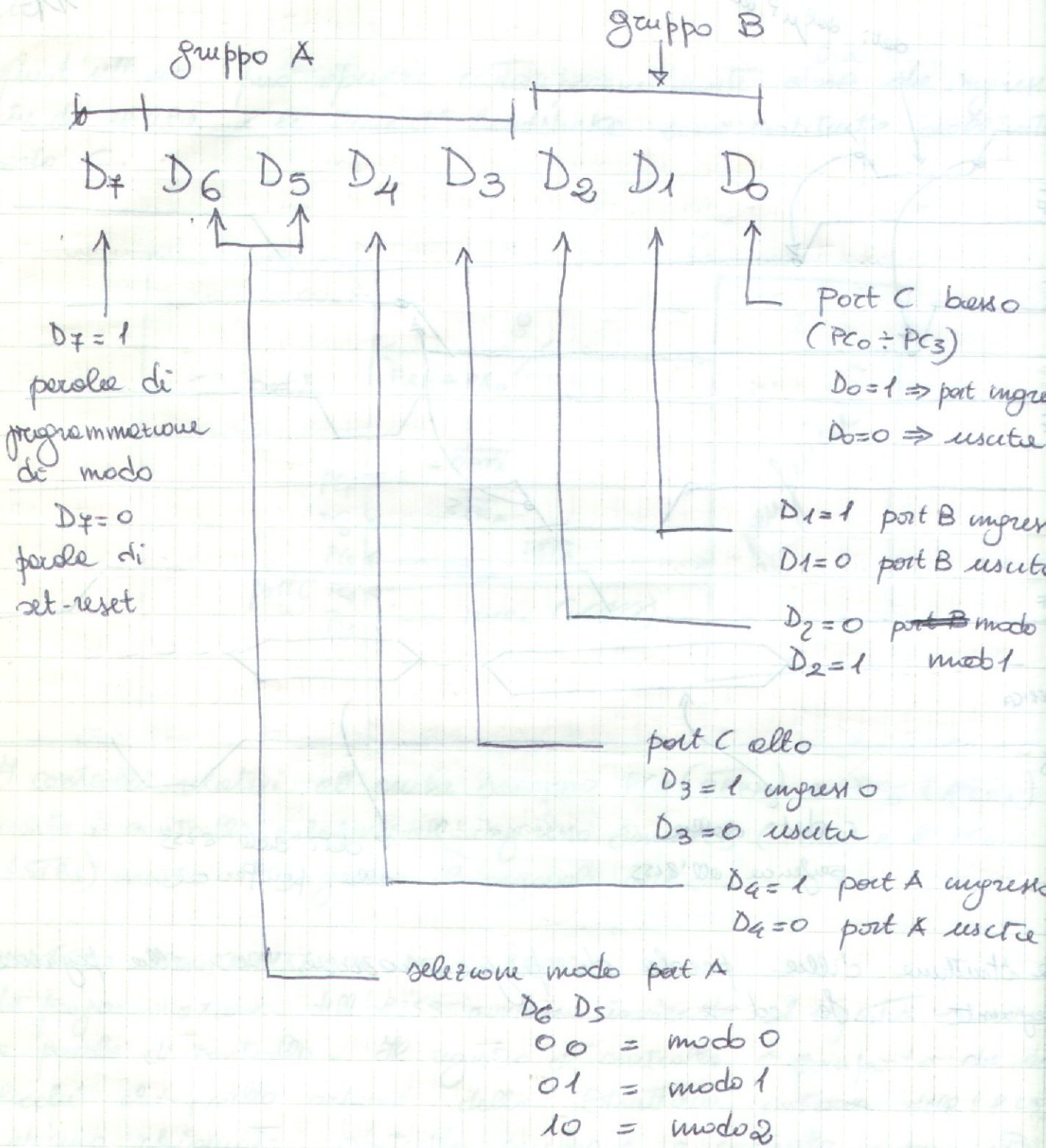
dati del μP cell' 8255

11



La struttura delle parole di programmazione e' delle pagine seguenti. Se ad e

12



Esempio

la parola di programmazione è

$$82H = 10000010B$$

$D_7 = 1$ quindi stiamo programmando il modo di funzionamento

D_5 e D_6 sono a zero per cui il port A è settato in modo zero

$D_2 = 0$ per cui il port B è in modo zero, $D_0 = 0$ e $D_3 = 0$

per cui le linee di C sono ^{uscite} in input; $D_1 = 1$ per cui B è un input

$D_4 = 0$ per cui A è un'uscita

SET/RESET

Questa modalità serve per forzare a 0 oppure a 1 i bit di ogni singolo bit del PORTC.

Basta inviare una parola in cui $D_7 = 0$, D_0 deve avere il valore che si vuole forzare sul bit prescelto che è codificato dai bit $D_3 D_2 D_1$, mentre per $D_6 D_5 D_4$ c'è una codificazione di indirizzo.

Se, ad esempio, vogliamo settare il bit C6 occorre scrivere una parola del tipo

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	X	X	X	1	1	0	1
↑				┌──────────┐			↑
modalità				bit C6			valore da forzare
set/reset							in C6