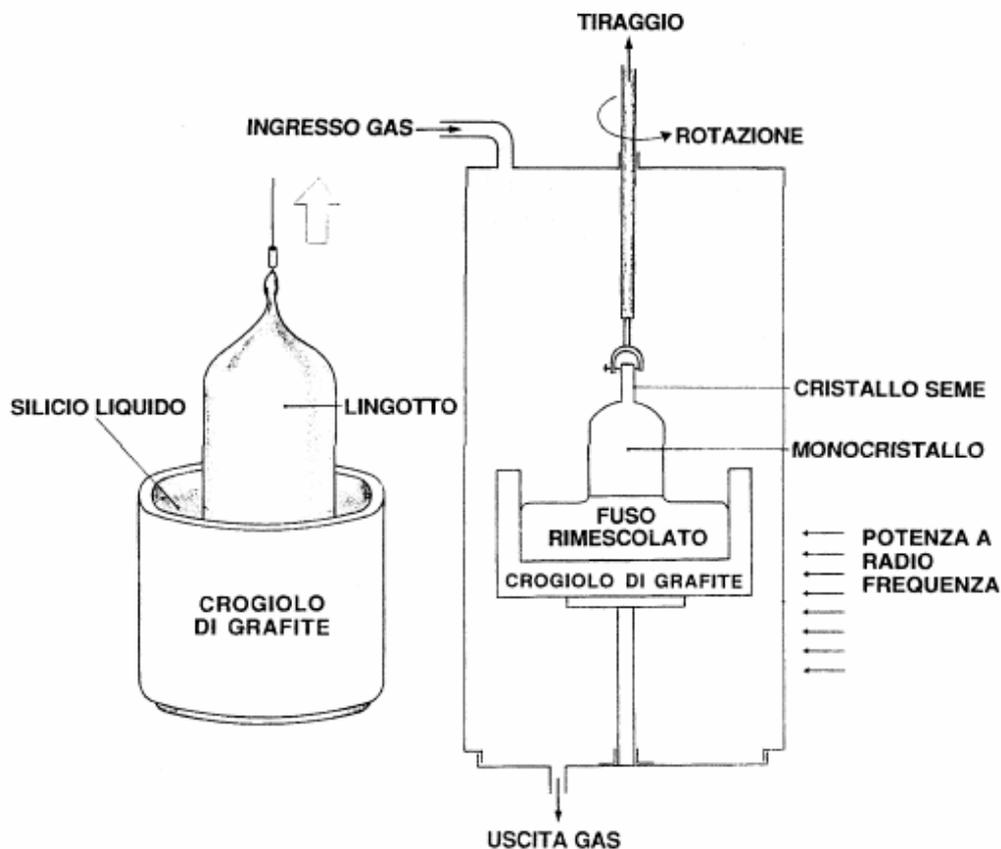


### Formazione dei monocristalli

A causa dello stress provocato al lingotto da tutti i trattamenti descritti, esso presenta una struttura policristallina, cioè risulta suddiviso in una pluralità di zone, ciascuna delle quali presenta una propria organizzazione cristallina. L'irregolarità di questa struttura rende elevata la resistività del materiale. Per ridurre la resistività della barretta di silicio occorre dunque fare in modo che essa abbia una struttura ordinata formata da un solo cristallo (struttura monocristallina).

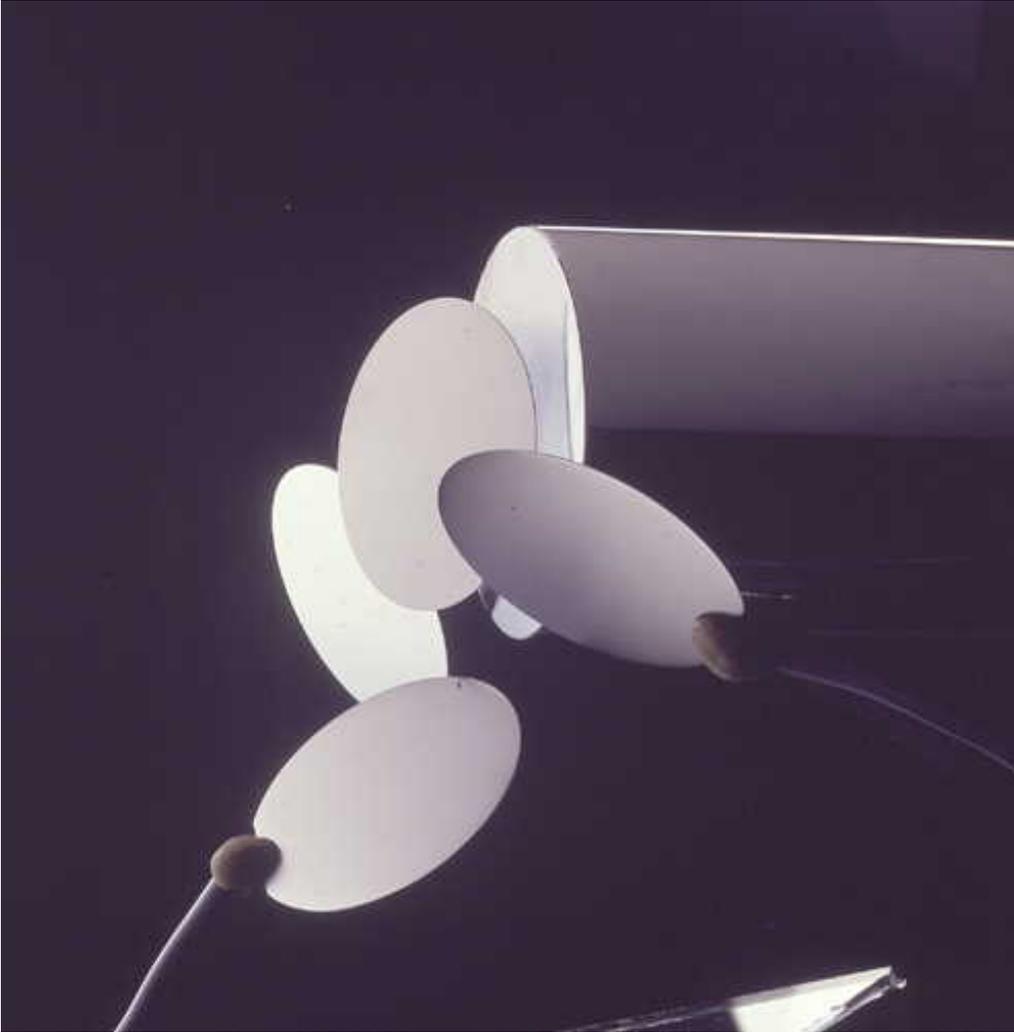
Il primo metodo è il metodo Czochralsky che utilizza la struttura seguente



esso si basa sul principio che se si fa solidificare lentamente un materiale cristallino intorno ad un seme di cristallo regolare dello stesso materiale, il materiale tende a solidificare assumendo la struttura del seme. Immaginate, ad esempio, di recarvi allo sportello di un ufficio e trovare una fila ben ordinata. Troverete che le persone che via via sopraggiungono tendono a mettersi ordinatamente in fila seguendo l'organizzazione delle persone già in fila. Naturalmente devono essere rispettate le condizioni che le persone che sopraggiungono siano educate e che sopraggiungano abbastanza lentamente: se arrivasse all'improvviso una massa preponderante di persone nell'ufficio è difficile pensare che le nuove persone si organizzino in maniera regolare. Nel metodo Czochralsky il seme è collegato ad un mandrino in un forno a radiofrequenza e posto a contatto con il silicio liquido presente in un crogiolo di grafite. Il seme viene fatto sollevare molto lentamente e il silicio liquido si solidifica intorno ad esso formando alla fine un lingotto monocristallino.



Il lingotto monocristallino subisce poi una serie di lavorazioni che lo portano ad essere trasformato in lamine dette wafer utilizzate per la realizzazione dei dispositivi a semiconduttore.



### ***Tecnologia della giunzione pn***

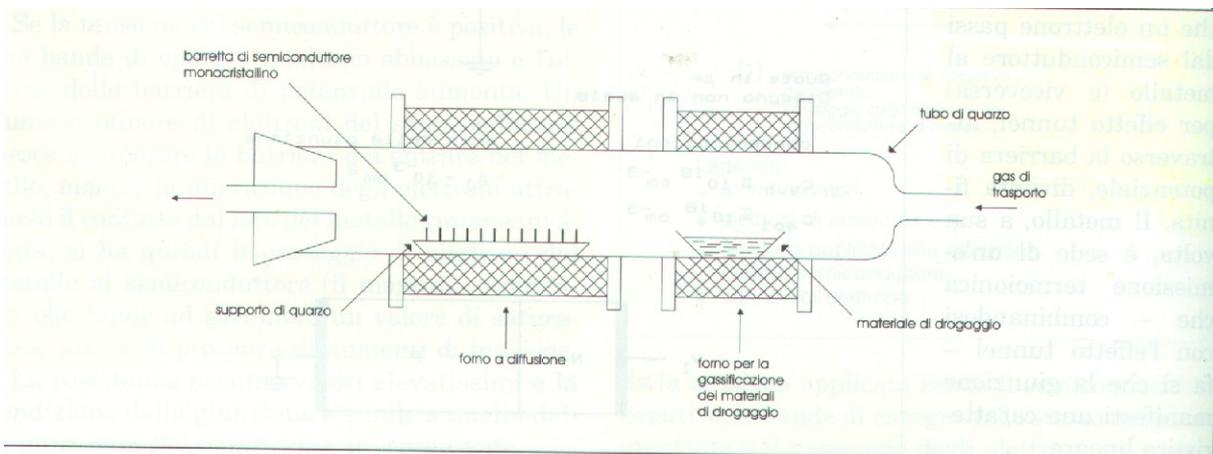
Vediamo come si realizza una giunzione pn.

#### **Diffusione**

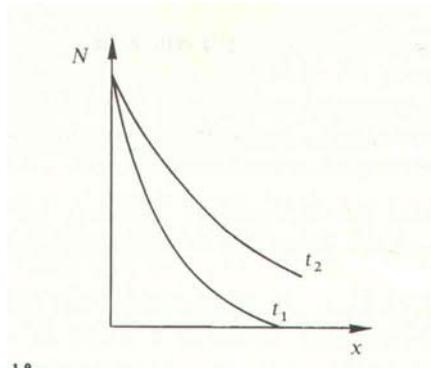
Un primo metodo per il drogaggio dei wafer di silicio è quello della diffusione allo stato solido. Questo metodo si basa sul fatto che nel reticolo cristallino del silicio si possono trovare dei difetti reticolari detti vacanze consistenti nell'assenza di atomi di silicio. Questi spazi lasciati nel reticolo possono essere occupati da atomi di impurità drogante, che si fanno diffondere nella barretta di silicio. Tale processo avviene



Forno a diffusione



ponendo il wafer di silicio in un forno a diffusione nel quale è presente anche il materiale drogante che è stato gassificato. Gli atomi di impurità si depositano sul wafer e diffondono al suo interno. La capacità che hanno le impurità di diffondere all'interno del wafer dipende dalla temperatura alla quale si fa avvenire il processo che è di circa 1000 gradi centigradi. Questo processo prende anche il nome di diffusione a sorgente illimitata.



Come si può vedere dalla figura precedente, più dura il procedimento più omogenea è la distribuzione delle impurità nella barretta (sull'asse delle ordinate abbiamo la concentrazione delle impurità espressa in numero di atomi per centimetro cubo e sull'asse delle ascisse abbiamo la distanza  $x$  dalla superficie del wafer). In ogni caso notiamo che la disomogeneità della concentrazione è comunque rilevante. Per questo motivo si fa spesso uso del procedimento di diffusione a sorgente limitata, che consiste nell'effettuare prima una diffusione a sorgente illimitata, poi il wafer viene riscaldato fino a 1200 gradi in assenza del materiale drogante in modo che gli atomi di impurità si ridistribuiscono per agitazione cinetica nel wafer ottenendo i profili della figura seguente dove  $t$  è la durata del processo e  $t_2 > t_1$ .

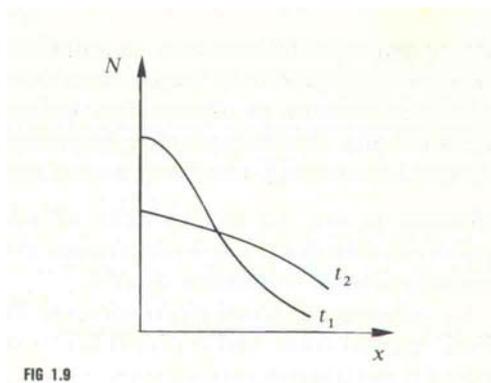
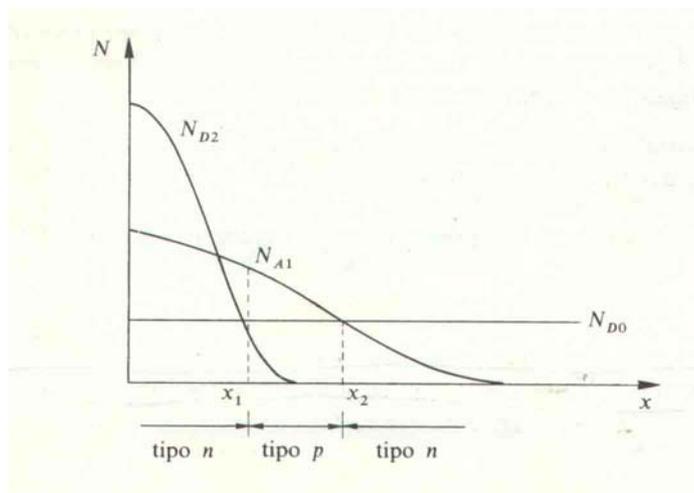


FIG 1.9

### Formazione delle giunzioni per sovracompensazione

Vediamo ora come si possono ottenere le giunzioni. Il concetto fondamentale è che, se si ha un wafer drogato con impurità di un certo tipo, ad esempio p, se si effettua un nuovo drogaggio di tipo opposto facendo in modo da ottenere una concentrazione di impurità droganti n superiore a quello di tipo p, si ha una sovracompensazione di elettroni rispetto alle lacune e si inverte il tipo di drogaggio di quel wafer. Supponiamo allora di voler realizzare un transistor npn e procediamo come nella figura seguente.



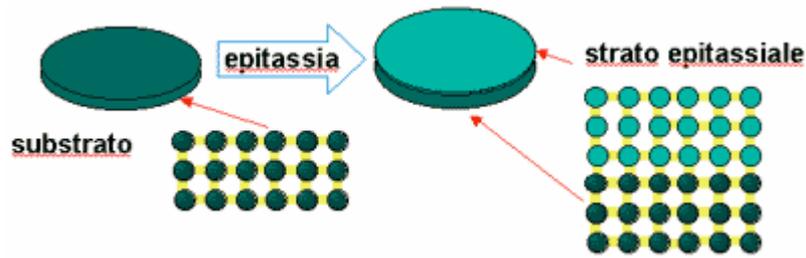
In una prima fase viene effettuato un drogaggio di tutta la barretta di tipo n in modo che la concentrazione delle impurità sia praticamente costante lungo tutta la barretta (concentrazione  $N_{D0}$ ). Si effettua poi una seconda diffusione di tipo p con un profilo non omogeneo ( $N_{A1}$ ). Laddove  $N_{A1}$  supera  $N_{D0}$  si ha una zona drogata complessivamente di tipo p (poiché le lacune prevalgono sugli elettroni). Si forma una giunzione nel punto in cui le due concentrazioni si equilibrano. Si effettua infine una terza diffusione ( $N_{D2}$ ) con un profilo di concentrazione ancora più ripido. Nella zona in cui questa supera la concentrazione di atomi droganti di tipo p, il wafer diventa di nuovo di tipo n. Il punto in cui la somma delle due concentrazioni di atomi donatori supera quella di atomi accettori si forma la seconda giunzione.

### **Diffusione in oro**

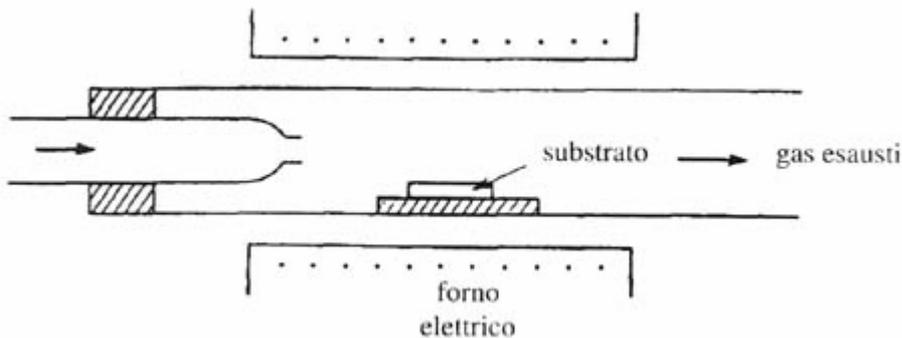
Spesso il processo di diffusione viene utilizzato anche per diffondere nei wafer degli atomi di oro. In questo caso l'oro non ha la funzione di aumentare lacune o elettroni. Gli atomi di oro hanno la proprietà di far aumentare la velocità del processo di ricombinazione. Poiché per i dispositivi a semiconduttore, per commutare da saturazione ad interdizione, si deve attendere che le giunzioni si svuotino, la presenza di atomi di oro rende il procedimento di svuotamento più rapido e quindi più veloci le commutazioni.

### **Crescita epitassiale**

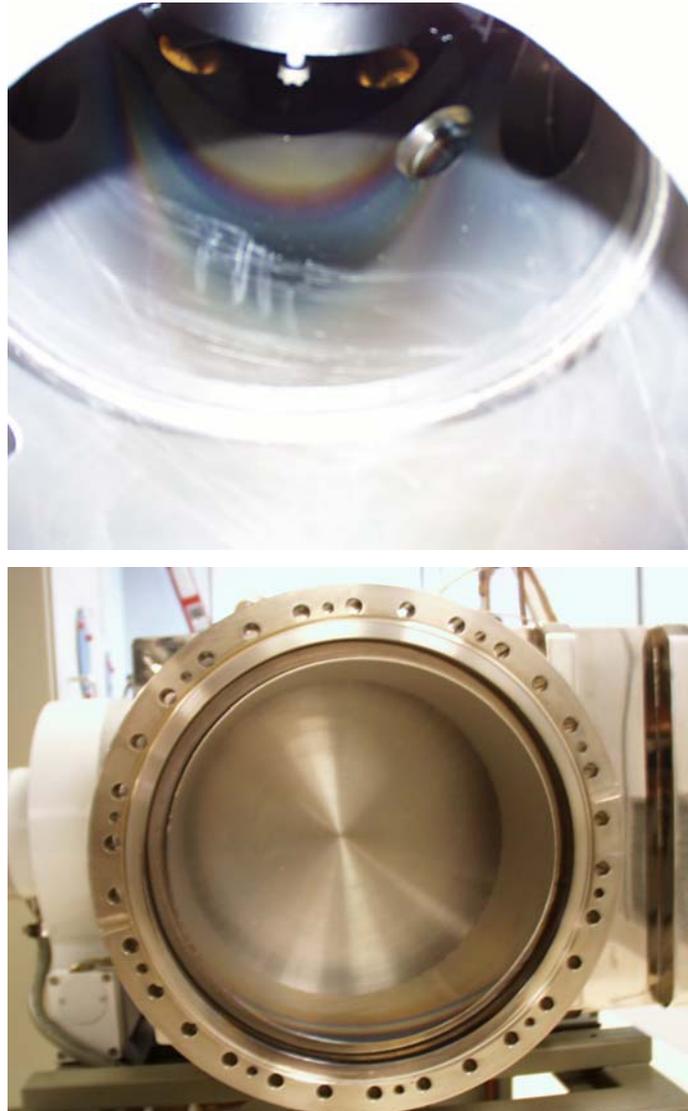
Il procedimento della crescita epitassiale consiste nel far depositare strati di atomi di silicio, misto con impurità droganti, proveniente da materiali in fase gassosa sulla superficie di un wafer monocristallino di silicio che funge da seme.



La epitassia da fase di vapore o CVD (chemical vapor deposition): in una camera di reazione riscaldata mediante bobine a radiofrequenza i wafer di silicio vengono esposti a gas inerti che trascinano sostanze in fase gassosa contenenti silicio come il tetracloruro di silicio  $\text{SiCl}_4$  o silano  $\text{SiH}_4$ . Alla temperatura del processo (compresa fra 1000 e 1200 gradi centigradi) le molecole di tali sostanze si scompongono e gli atomi di silicio si depositano sul substrato. Per aggiungere impurità droganti si possono introdurre nella camera anche gas come la fosfina  $\text{PH}_3$  (per fornire fosforo) o l'arsina  $\text{AsH}_3$  (per fornire arsenico) se vogliamo drogaggi di tipo n, e diborano  $\text{B}_2\text{H}_6$  per fornire boro e quindi avere drogaggi di tipo p.



Abbiamo anche l'epitassia a fascio molecolare o MBE molecular beam epitaxy. Questa tecnica è sostanzialmente identica alla precedente. L'unica differenza consiste nel fatto che il materiale gassoso drogante si ottiene bombardando con un fascio di ioni barrette di silicio e materiali droganti. Con questo procedimento si ha il vantaggio di poter procedere a temperature più basse ( dai 400 agli 800 gradi) ed inoltre poter controllare l'accrescimento dello strato epitassiale e il suo drogaggio poiché controllando la potenza del fascio possiamo anche controllare con precisione la quantità di silicio e materiali droganti in forma gassosa mettiamo a disposizione del processo.

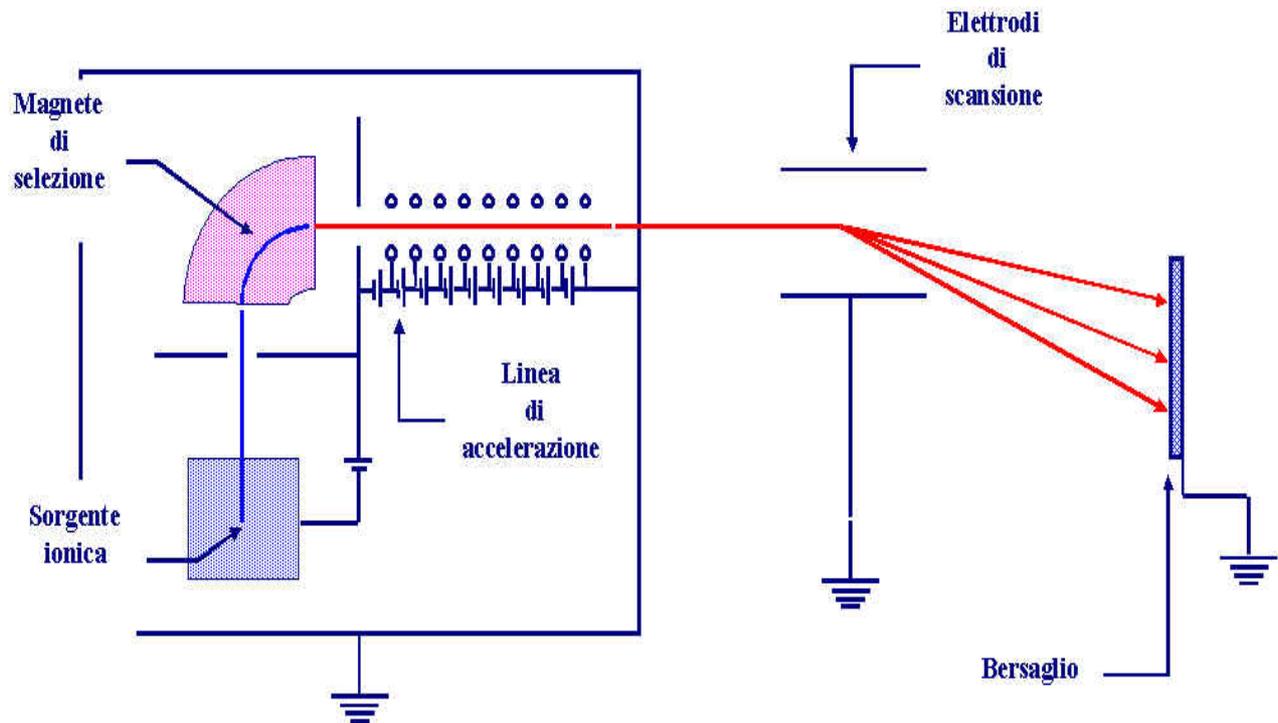


**Figura 1 Immagini di un impianto MBE**

La tecnica della crescita epitassiale è migliore rispetto a quella per diffusione in quanto consente di ottenere profili di concentrazione più omogenei lungo le barrette di silicio. Lo svantaggio è che non si possono ottenere wafer di spessore troppo elevato (dell'ordine delle decine di micrometri) poiché altrimenti non si può garantire che gli strati epitassiali siano monocristallino.

### **Impiantazione ionica**

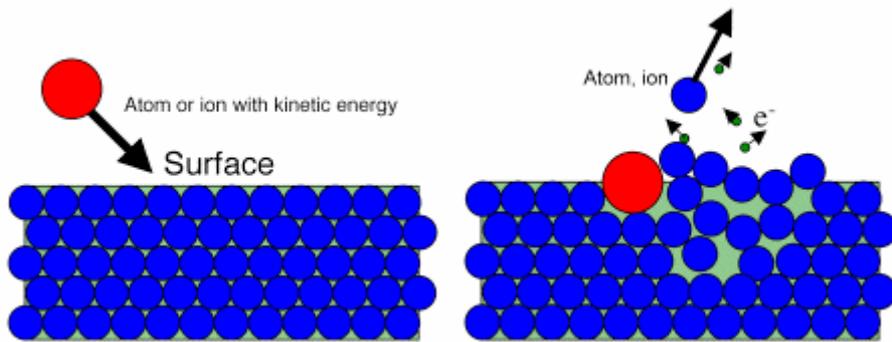
Per dispositivi di spessore particolarmente limitato diventa difficile eseguire con precisione le operazioni di drogaggio. Ciò ha dato luogo alla diffusione di nuove tecniche come l'impiantazione ionica. In questa tecnica, le sostanze droganti vengono trasformate in ioni (dotati quindi di carica elettrica) che possono essere accelerati da campi magnetici.



Un impiantatore è una macchina capace di fornire agli ioni una energia che può essere compresa nell' intervallo che va da alcune centinaia di KeV fino ad al limite di qualche MeV. Questo equivale in linea generale alla possibilità di modificare le proprietà dei substrati sottoposti al processo, per profondità pari ad alcuni micron al di sotto della superficie di interazione. Si possono identificare cinque parti essenziali all' interno di queste macchine così come presentato nella figura precedente:

sorgente

è una camera in cui vengono ionizzati materiali, che possono presentarsi in forma solida o gassosa. Tale processo avviene mediante evaporazione o sublimazione del materiale ed il suo successivo bombardamento con elettroni appositamente accelerati oppure con l' utilizzo di un processo di sputtering (generazione di ioni bombardando con altri ioni – vedi figure seguenti) alimentato da un opportuno plasma.



La quantità di ioni prodotti all'interno della sorgente va a determinare la corrente ionica presente sul bersaglio durante l'impiantazione.

### Elettrodi di accelerazione

Tramite questi elettrodi, posti ad un potenziale fissato, viene stabilita l'energia ceduta al fascio ionico e la sua focalizzazione sul bersaglio.

### Magnete di separazione

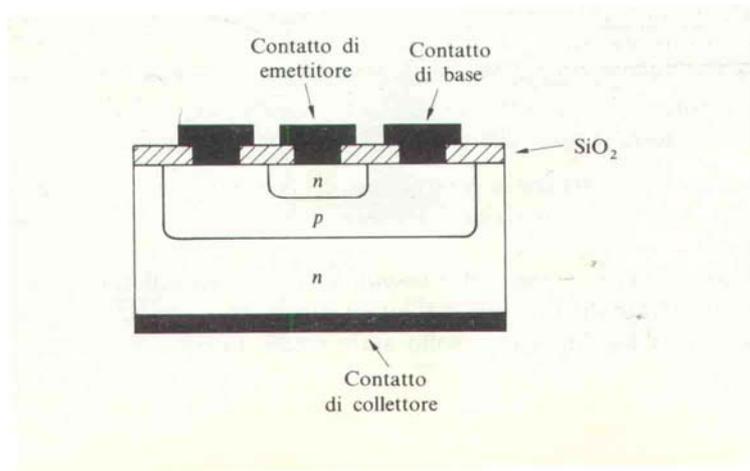
Gli ioni che vengono estratti dalla sorgente possono contenere in generale, elementi diversi da quelli che si desidera utilizzare nel processo di impiantazione. E' necessario perciò provvedere ad una analisi del fascio ionico, onde selezionare la specie di interesse dalle altre. A tal fine si utilizza un magnete, che deviando ciascun ione secondo una formula che implica la massa consente di ottenere la selezione desiderata tra ioni diversi per massa o carica.

### Camera di collisione

In questa camera viene introdotto il substrato che deve subire il processo di impiantazione ionica. Il controllo di questo è affidato ad un sistema di misura della carica totale incidente che viene a fissare la dose totale di ioni introdotti (atomi/cm<sup>2</sup>).

### *Tecnologia planare*

Nella realizzazione di dispositivi elettronici le zone con drogaggi diversi da realizzare devono avere localizzazioni diverse nel wafer. Ad esempio per realizzare un [transistor](#) bipolare dobbiamo ottenere un'organizzazione come quella in figura



per ottenere le varie zone di emettitore, base e collettore. Per ottenere queste zone si deve fare in modo che i processi di drogaggio non interessino tutto il wafer ma soltanto alcune zone. Ciò si ottiene con la tecnologia planare. Tale tecnologia si compone di più fasi.

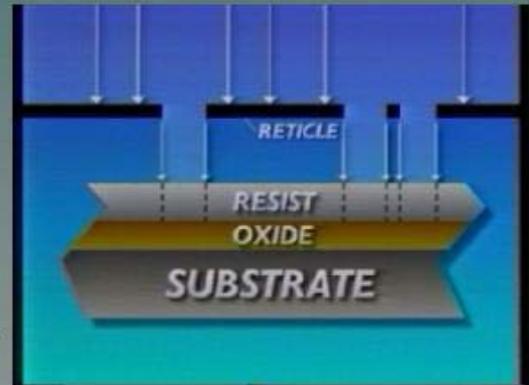


Nella prima fase di ossidazione si fa crescere uno strato di ossido sulla superficie del wafer riscaldando lo stesso in un forno in presenza di vapor acqueo e ossigeno. Si ha poi il processo fotolitografico. Con tecniche assistite al computer viene realizzato il disegno o pattern delle finestre che devono essere aperte sulla superficie dell'ossido per effettuare il drogaggio. Il disegno viene ridotto mediante tecniche

fotografiche e trasferito su una maschera di materiale vetroso (detta reticolo). Tale maschera è una sorta di negativo nel senso che riporta con zone opache le zone dell'ossido da asportare.

## Fotolitografia

La tecnica fotolitografica consiste nel trasferire un disegno presente su una maschera (lastra fotografica, denominata **reticolo**) sul film sottile di un materiale fotosensibile depositato sul substrato di silicio. Il materiale, **sensibile alla radiazione ultravioletta**, prende il nome di **resist**.



[Torna all'indice](#)

# Fotolitografia

Per la realizzazione di un singolo circuito integrato, diversi sono i passi di fotolitografia necessari.

In ciascun passo, vengono realizzate in **parallelo** zone simili dei diversi dispositivi: le zone di collettore, di base e di emettitore dei transistor bipolari, le zone n e quelle p dei diodi, i pozzi n o p dei MOS, etc.



[Torna all'indice](#)

# Fotolitografia

Per il dettaglio ( $<1\mu\text{m}$ ) e risoluzione che bisogna raggiungere è necessario operare in un ambiente estremamente pulito.

## Classe 10:

10 particelle di polvere di dimensioni micrometriche per ogni piede cubo d'aria



Le camere bianche di lavorazione hanno un livello di pulizia 1000 volte migliore di quello che si ha in una sala operatoria ospedaliera.

[Torna all'indice](#)

# Fotolitografia

Qualunque contaminazione esterna, anche di dimensioni micrometriche potrebbe irreparabilmente danneggiare il corretto funzionamento del circuito integrato.



[Torna all'indice](#)

a questo punto si depone sulla superficie del wafer una pellicola di una sostanza sensibile alla luce detta *fotoresist*.

## Deposizione del resist

Per depositare uno strato sottile di resist, il wafer viene posto in rapida rotazione (4000 giri/min circa) e viene colato un minimo quantitativo di sostanza fotosensibile.



Diversi wafer così preparati vengono posti in un forno per una cottura leggera del resist (**soft-bake**) al fine di far evaporare tutto il solvente in cui è disciolto l'elemento fotosensibile.

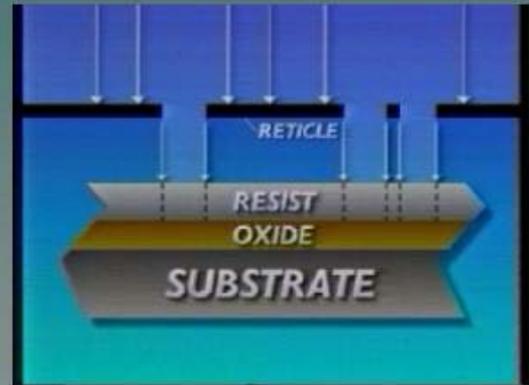
[Torna all'indice](#)

Il fotoresist ha la proprietà di polimerizzare, in sostanza di diventare una sostanza dura e resistente se sottoposto all'azione di raggi ultravioletti. Allora la maschera viene posta sopra lo strato di resist e il tutto viene sottoposto all'azione dei raggi ultravioletti.

## Esposizione

I wafer vengono quindi inseriti in un apparato per l'esposizione del resist alla radiazione ultravioletta.

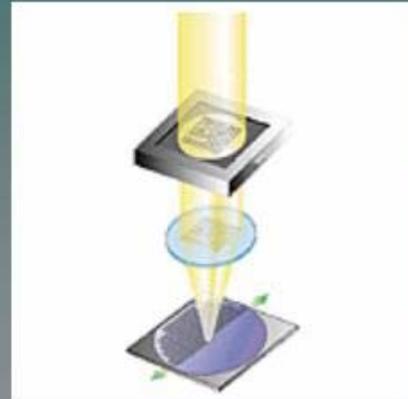
Per i resist positivi, i raggi UV sono in grado di indebolire i legami tra i polimeri che compongono il materiale. Per quelli negativi si verifica il contrario: la radiazione UV rafforza i legami. Nel primo caso sui reticoli è necessario un disegno al positivo mentre nel secondo il disegno dev'essere il negativo di ciò che si vuole riprodurre.



[Torna all'indice](#)

## Esposizione

Per basse risoluzioni può essere adottata la tecnica di esposizione a contatto: la superficie della maschera e quella del substrato vengono cioè poste a contatto.

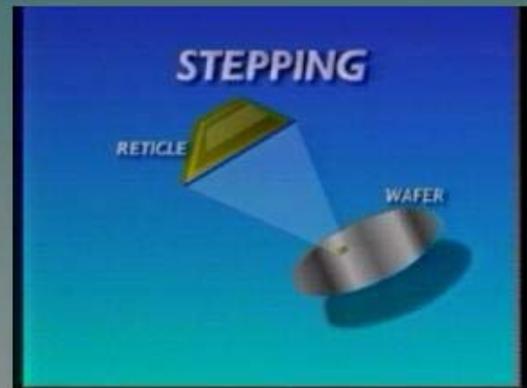


Gli attuali livelli di integrazione e quindi la risoluzione richiesta per i disegni non consentono però di adottare tale tecnica mentre si utilizza quella di esposizione per proiezione.

[Torna all'indice](#)

# Esposizione

L'apparato usato viene denominato *stepper* in quanto vengono esposte, passo dopo passo, diverse zone del wafer sempre con la medesima maschera.

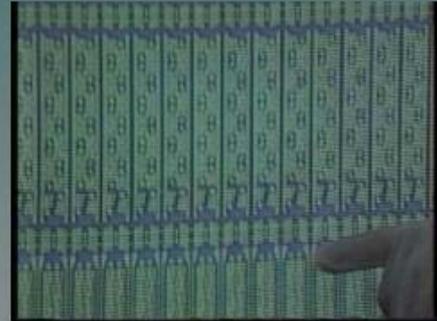


Tutti i passi sono svolti in ambienti con luce gialla per eliminare qualunque esposizione accidentale del resist alle componenti verde-blu a cui è sensibile.

[Torna all'indice](#)

# Esposizione

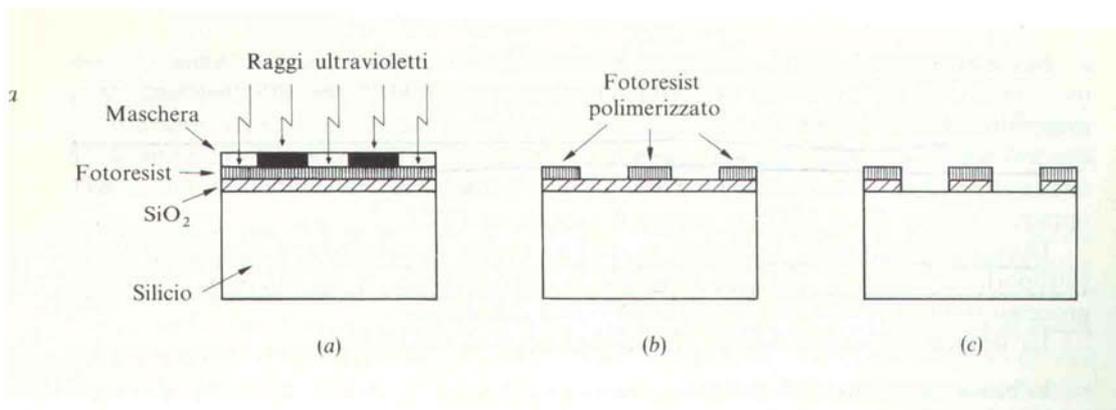
Dell'intero processo di realizzazione di un circuito integrato, l'esposizione del resist è la fase più delicata. L'attuale risoluzione è pari a **0.18  $\mu\text{m}$**  mentre il prossimo standard sarà di **0.11  $\mu\text{m}$** .



I processi avvengono in camere **antisismiche** di dimensioni pari ad almeno **100x100 m<sup>2</sup>**.

[Torna all'indice](#)

Dopo viene tolta la maschera e si asporta il fotoresist che non ha polimerizzato, corrispondente alle zone opache della maschera, mediante un solvente chimico come il tricloretilene. Il successivo passo consiste in un attacco chimico mediante acido fluoridrico. Gli strati di ossido che non sono coperti dal fotoresist polimerizzato verranno asportati lasciando scoperte le zone del wafer che si vogliono drogare. Successivamente si asportano i residui di fotoresist e si ricrea lo strato di ossido per realizzare nuove maschere ed effettuare nuovi drogaggi.



## Un'applicazione - Il transistor JFET

I transistor JFET sono transistor unipolari, in cui, cioè, abbiamo solo correnti di lacune o solo correnti di elettroni.

Il termine JFET sta per *junction field effect transistor*.

La struttura di principio di un JFET è la seguente

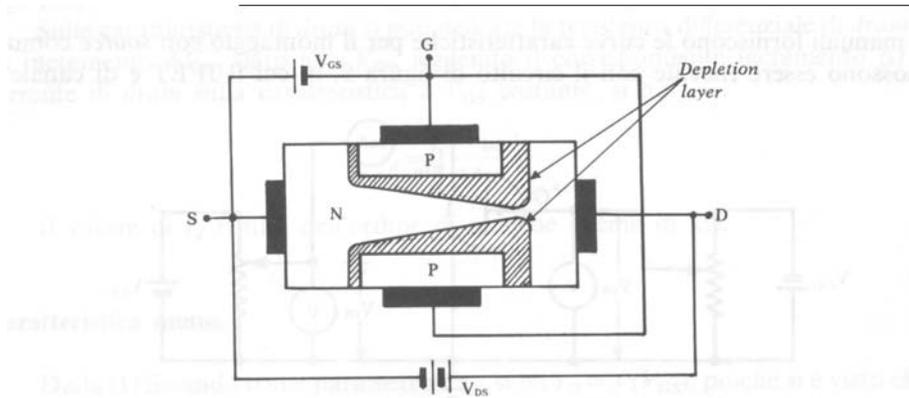


Fig. 6. - Forma del depletion layer in un JFET polarizzato sia con  $V_{GS}$  che con  $V_{DS}$ .

Abbiamo una barretta di silicio drogata in maniera omogenea: se il drogaggio è di tipo  $n$  ci troviamo di fronte ad un JFET a canale N, in caso opposto ci troviamo di fronte ad un JFET a canale P. Come si può notare dalla figura, nel JFET a canale N sono realizzate due isole di tipo p, mentre nel JFET a canale P sono realizzate due isole di tipo N.

Al canale sono collegati due elettrodi denominati Source e Drain. Le due isole drogate in maniera diversa dal canale sono collegate a due morsetti detti di Gate. In realtà il dispositivo presenta tre morsetti poiché i due morsetti di gate sono collegati in un unico morsetto di Gate esterno.

Per spiegare la struttura del dispositivo facciamo riferimento al JFET a canale N, poiché il discorso è del tutto equivalente per l'altro tipo di dispositivo.

Supponiamo inizialmente di collegare soltanto una batteria fra Source e Drain. I nomi dati ai morsetti indicano che vogliamo che si generi una corrente di portatori di carica che nel nostro esempio sono elettroni, che vada dal Source al Drain. Nel nostro esempio dobbiamo necessariamente introdurre una batteria fra Source e Drain con il morsetto positivo collegato al Drain. In sostanza dobbiamo introdurre una tensione  $V_{DS} > 0$ .

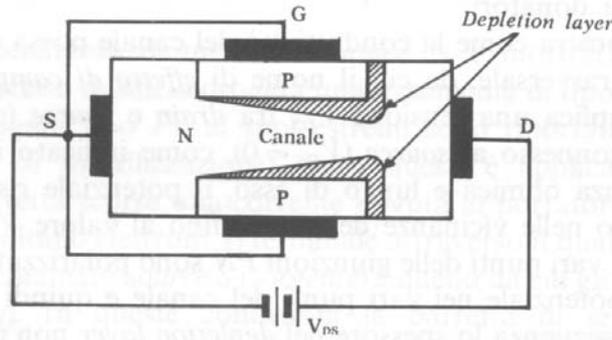


Fig. 4. - Andamento del *depletion layer* in un JFET sottoposto a tensione fra *drain* e *source* con  $V_{GS} = 0$ .

Come si comporta, in tal caso il dispositivo? Ci troviamo di fronte ad una barretta di semiconduttore drogata omogeneamente, per cui ricca di portatori di carica, che si comporta dunque come un corpo conduttore, che offre una resistenza che dipende dalla lunghezza del canale, dalla sua sezione, dalla resistività, cioè dalla ricchezza del drogaggio. Il legame fra la  $V_{DS}$  e la corrente di drain  $I_D$  sarà dunque espresso dalla legge di Ohm. Graficamente tale legame sarà rappresentato da una retta.

Collegiamo ora una batteria fra Source e Gate, con il positivo verso il Source.

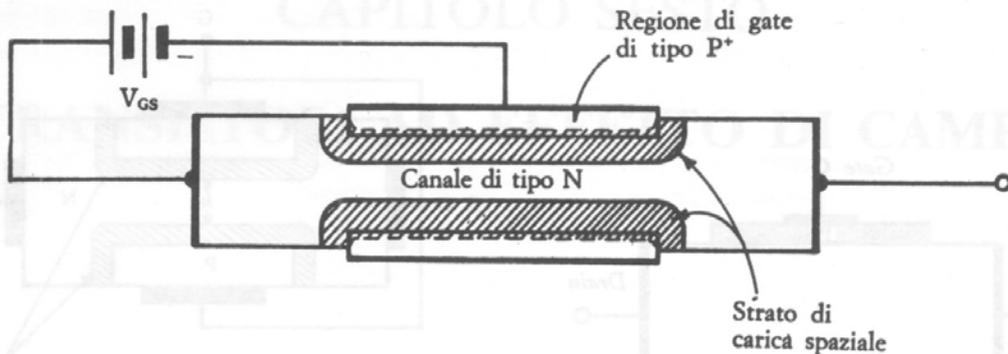
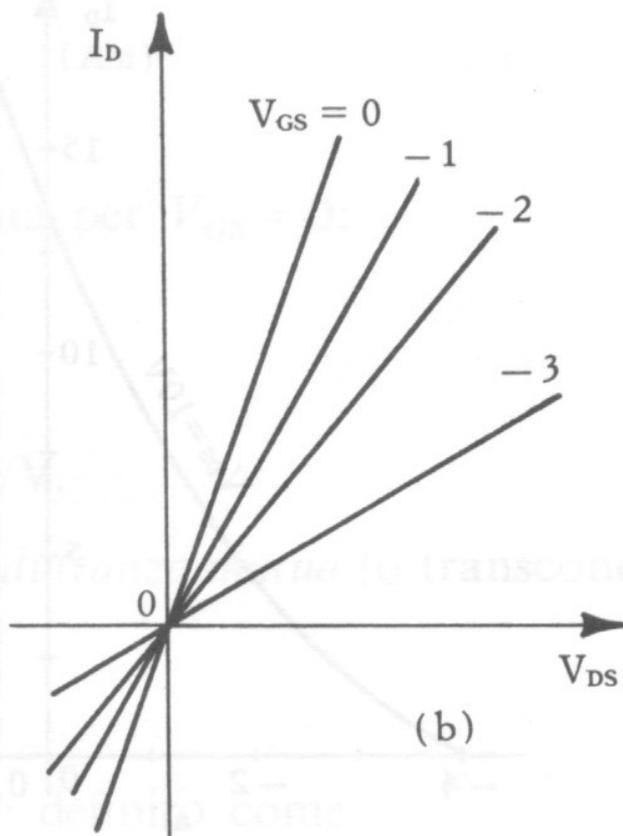


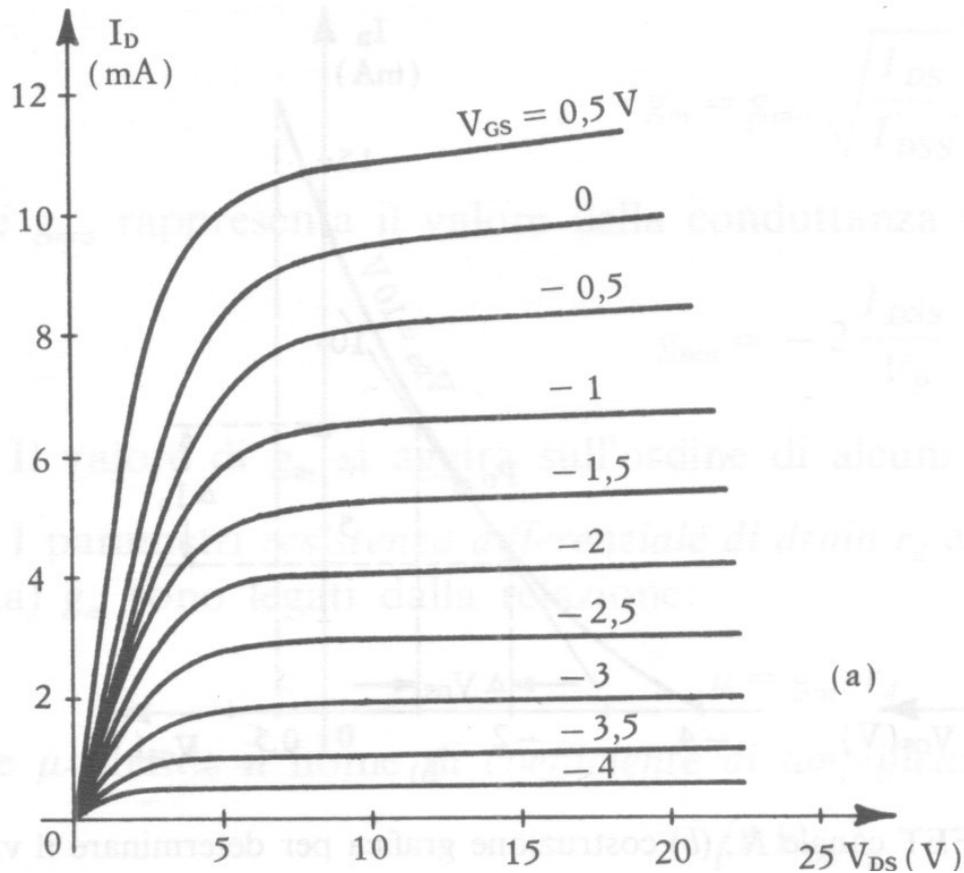
Fig. 3. - Andamento del *depletion layer* in un JFET sottoposto ad una polarizzazione  $V_{GS}$  fra gate e source.

Ponendo la batteria in questo modo, le due giunzioni pn presenti nel dispositivo vengono polarizzate inversamente per cui si creano due zone di svuotamento che penetrano nel canale riducendo la regione in cui si trovano elettroni, sede della corrente. Riducendosi la sezione del canale aumenta la resistenza offerta dal dispositivo, per cui la caratteristica che lega tensione  $V_{DS}$  e corrente  $I_D$  è ancora una retta ma che forma un angolo minore con l'asse delle ascisse. Al crescere del valore assoluto della tensione  $V_{GS}$  aumenta ancora la zona di svuotamento, si riduce ancora l'ampiezza del canale e aumenta ancora di più la resistenza offerta dal JFET. Il legame fra  $V_{DS}$  e  $I_D$ , dunque, non è univoco, ma dipende dal valore della  $V_{GS}$ .



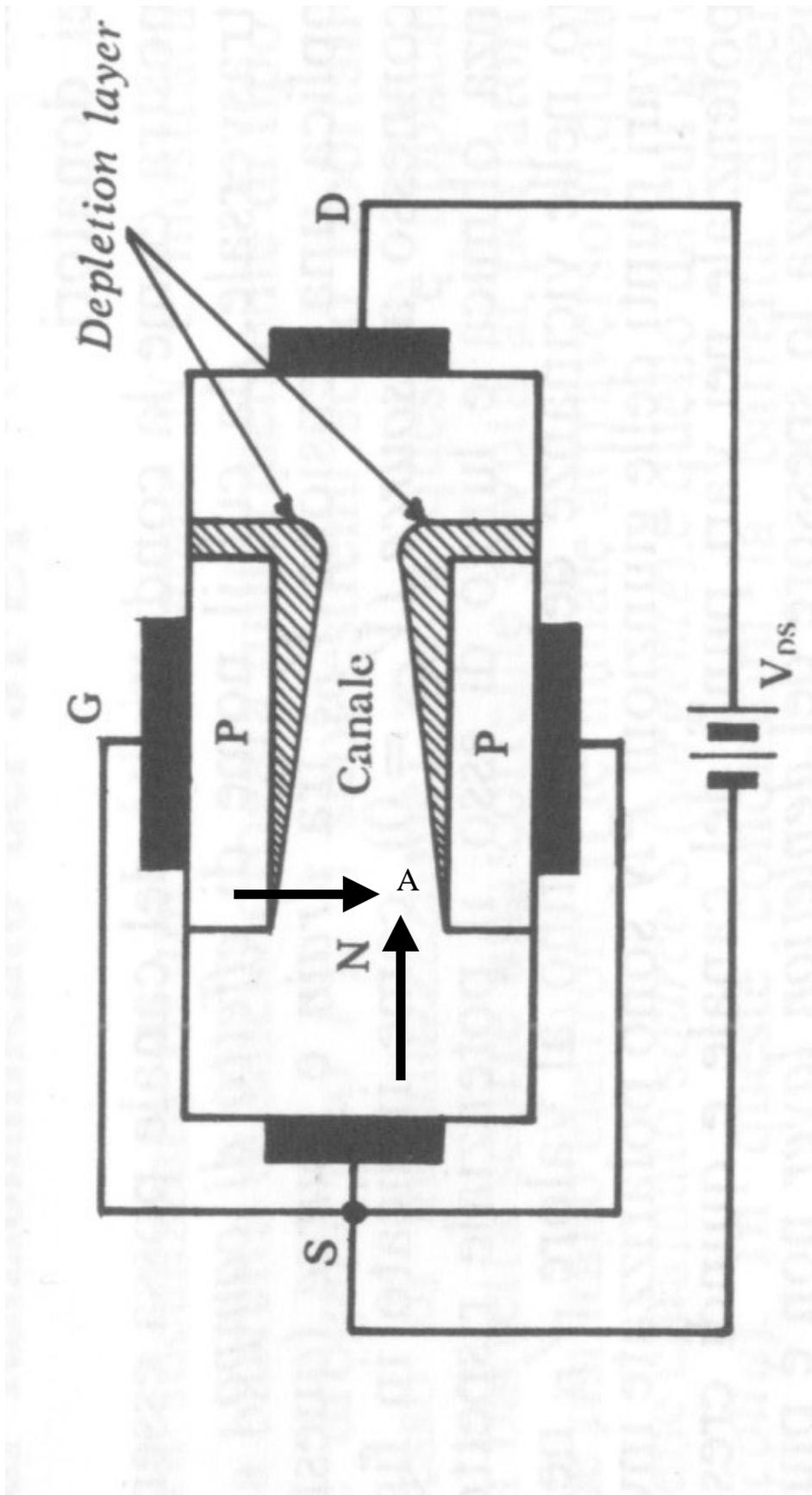
Possiamo dire dunque che il JFET si comporta come un resistore di cui, però, possiamo modificare la resistenza comandandolo con la tensione  $V_{GS}$ .

Questo però, non è sempre vero, ma vale per bassi valori della  $V_{DS}$ . Al crescere di tale tensione, infatti, si scopre che le caratteristiche non restano rettilinee ma cominciano ad incurvarsi fino a diventare orizzontali.

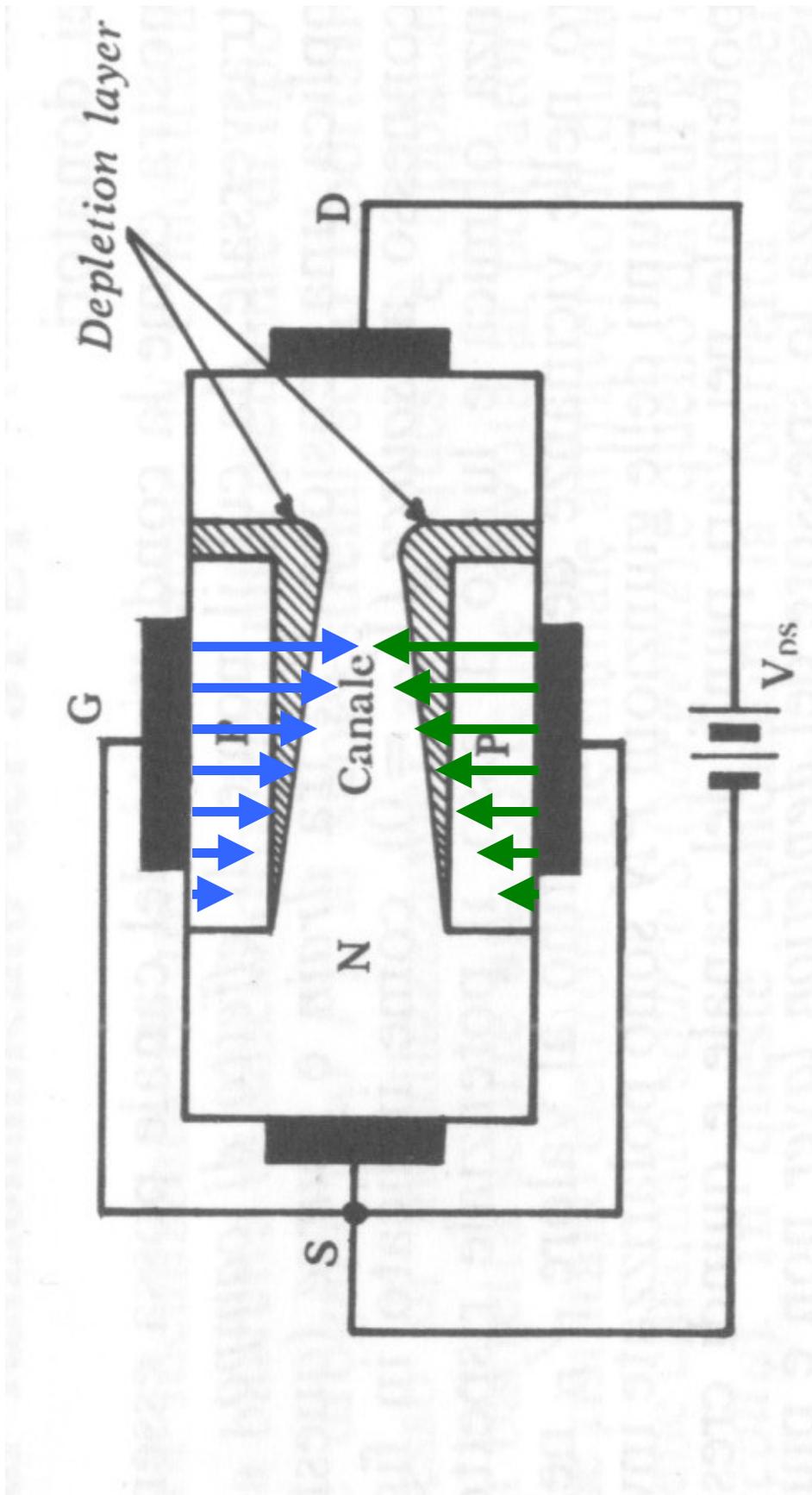


Per spiegare tale fenomeno, per semplicità consideriamo la caratteristica per  $V_{GS}=0$ . Cortocircuitiamo dunque Source e Gate.

A questo punto consideriamo un punto qualsiasi A nel canale. Questo punto si troverà ad una certa tensione  $V_{AS}$  positiva rispetto al Source: ora il fatto che Source e Gate sono cortocircuitati comporta che tale punto A si troverà a tensione positiva anche rispetto al Gate. Questo significa che, anche se non inseriamo una batteria fra Gate e Source, già la  $V_{DS}$  fa in modo che i punti del canale si trovino a tensione superiore rispetto al Gate. Inoltre va tenuto presente che, più ci si avvicina al Drain più aumenta la tensione esistente fra i punti del canale e il Source. Quindi più ci si avvicina al Drain e più aumenta la tensione fra i punti del canale e la zona di Gate. In definitiva abbiamo che anche la  $V_{DS}$  fa polarizzare inversamente le giunzioni pn creando delle



zone di svuotamento che crescono andando verso il Drain.



Se i valori della  $V_{DS}$  sono ancora piccoli, tali zone di svuotamento non sono tali da ridurre significativamente l'ampiezza del canale e il dispositivo mostra una resistenza costante (zona a caratteristica rettilinea). Ma quando la  $V_{DS}$  aumenta, le zone di svuotamento che essa crea diminuiscono

significativamente l'ampiezza del canale, per cui all'aumentare della tensione, il canale tende a restringersi sempre di più e la sua resistenza comincia ad aumentare (zona in cui la caratteristica si storzella). Esisterà un valore di tensione  $V_{DS}$  per il quale le due zone di svuotamento crescono tanto da toccarsi distruggendo completamente il canale: questa tensione è detta tensione di pinch-off ed in corrispondenza di essa la corrente  $I_D$  diventa quasi costante e la caratteristica diventa quasi orizzontale. Ma se si è distrutto il canale è come se la resistenza fosse diventata infinita, cioè la corrente dovrebbe annullarsi. Da questo momento in poi ci troviamo in una condizione di equilibrio dinamico. Se, infatti, la corrente diminuisse vorrebbe dire che la tensione nel canale dovrebbe diminuire: tenete presente che vale la legge di ohm, per cui nel canale abbiamo una caduta di tensione pari alla resistenza di ogni tratto del canale per la corrente che passa (vedi figura)



di nuovo essendosi riaperto il canale, ma ciò comporterebbe un aumento delle cadute di tensione nel canale, e quindi delle tensioni fra canale e gate, con un nuovo aumento dello spessore delle zone di svuotamento, ecc. Insomma la corrente  $I_D$  non può né aumentare né diminuire per cui diventa quasi costante e dipende debolmente dalla tensione  $V_{DS}$ .

Abbiamo spiegato dunque, perché la caratteristica che lega  $I_D$  e  $V_{DS}$ , per  $V_{GS}$  nulla, non è sempre rettilinea. Ma cosa succede quando sono presenti entrambe le batterie?

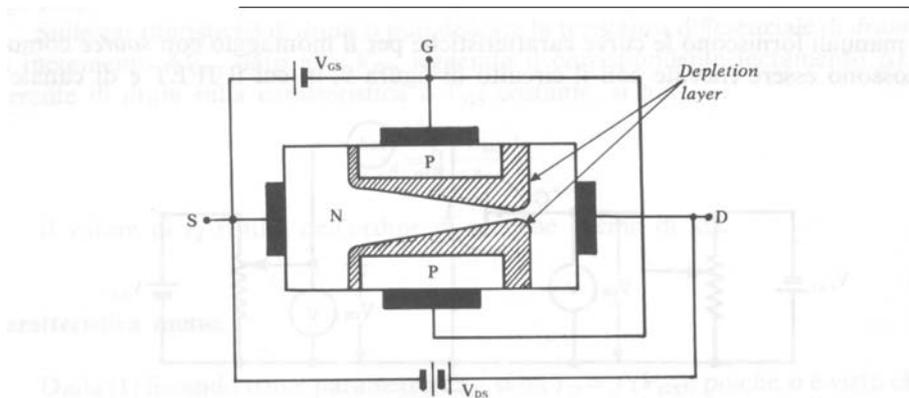
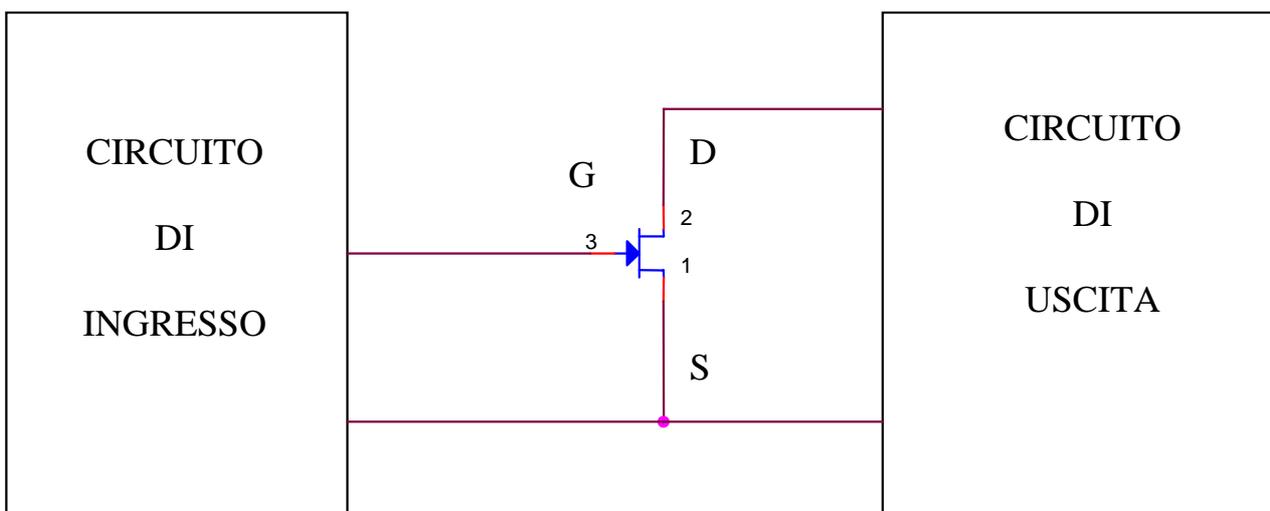


Fig. 6. - Forma del depletion layer in un JFET polarizzato sia con  $V_{GS}$  che con  $V_{DS}$ .

Nulla di diverso. Si ha una sovrapposizione degli effetti provocati singolarmente dalle batterie quando agiscono da sole. Si hanno zone di svuotamento a cuneo che sono più ampie di quelle che provocherebbe la sola  $V_{DS}$ , poiché vi è anche il contributo della  $V_{GS}$ .

Notiamo esplicitamente che, come nel caso del BJT, anche il JFET si può montare in più maniere differenti. Se lo montiamo nella maniera seguente



abbiamo il montaggio a source comune che corrisponde al montaggio ad emettitore comune del BJT, ed è utilizzato per fare del JFET un amplificatore di segnali. Notiamo esplicitamente che, in questo montaggio, le grandezze di uscita sono la tensione  $V_{DS}$  e la corrente  $I_D$ , per cui quelle che abbiamo tracciate prima sono le caratteristiche di uscita. Le grandezze di ingresso dovrebbero essere la  $V_{GS}$  e la  $I_G$ . In tal caso, però, non abbiamo una caratteristica di ingresso come nel caso del BJT, poiché la