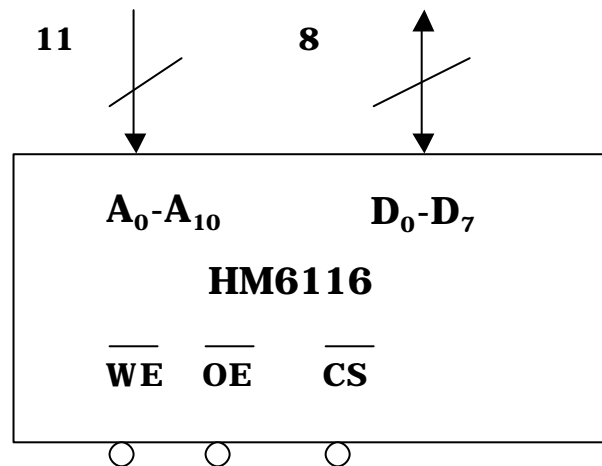


Supponiamo di voler interfacciare il microprocessore con un chip di memoria RAM da 2 Kbyte in modo che le 2048 locazioni del chip occupino i primi 2048 indirizzi della mappa di memoria.

Usiamo, ad esempio, il chip 6116



Essendo un chip da  $2048 = 2^{11}$  indirizzi, presenta 11 piedini di indirizzo A<sub>0</sub> - A<sub>10</sub> . Presenta inoltre, 8 piedini per il bus dati; un ingresso WE per abilitare l'operazione di scrittura nel chip di un dato: quando questo piedino è posto a zero un dato inviato dal microprocessore sul bus dati viene scritto nella locazione del chip il cui indirizzo è stato posto dal microprocessore sul bus indirizzi; un ingresso OE per abilitare l'operazione di lettura del chip: quando questo piedino è posto a zero, il chip scarica sul bus dati il contenuto della locazione di memoria il cui indirizzo è stato posto dal microprocessore sul bus indirizzi; un ingresso di CS o chip select: quando questo piedino non è posto a zero il chip è scollegato dal bus. Per prima cosa dobbiamo costruire la tabella degli indirizzi

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 <sub>h</sub>
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	07FF <sub>h</sub>

**Quarto  
nibble**

**Terzo  
nibble**

**Secondo  
nibble**

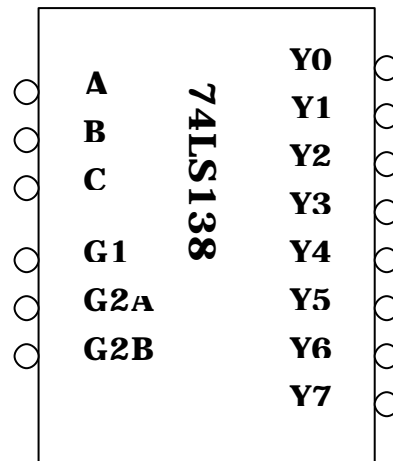
**Primo  
nibble**

Infatti la prima locazione del chip avrà un indirizzo in corrispondenza del quale i piedini da A<sub>0</sub> ad A<sub>10</sub> sono tutti a zero mentre l'ultima locazione avrà un indirizzo in corrispondenza del quale i piedini da A<sub>0</sub> ad A<sub>10</sub> sono tutti a uno. I piedini da A<sub>11</sub> ad A<sub>15</sub> rimarranno a zero.

Dobbiamo disegnare un circuito in modo tale che, quando il microprocessore vuole operare in memoria ad uno degli indirizzi compresi fra 0000<sub>h</sub> e 07FF<sub>h</sub>, venga attivato il chip di memoria. Come abbiamo visto, studiando la mappa degli indirizzi, ciò corrisponde a controllare che i piedini da A<sub>11</sub> ad A<sub>15</sub> risultino a zero. Naturalmente si deve anche verificare che sia effettivamente un'operazione di memoria e quindi che  $\overline{\text{MEMRQ}}=0$ .

Per far questo usiamo un decoder, ad esempio il 74138. Questo decoder ha otto uscite attive basse, da Y<sub>0</sub> a Y<sub>7</sub>, tre ingressi di selezione A, B, C e tre ingressi di abilitazione del decoder G<sub>1</sub>, G<sub>2A</sub>, G<sub>2B</sub>.

***Ricordiamo che un decoder è un dispositivo a media scala di integrazione che presenta un numero di ingressi di selezione in numero m ed uscite in numero  $n=2^m$ . Delle n uscite soltanto una può essere attiva ed è quella individuata dalla combinazione che è presente sugli ingressi di selezione.***

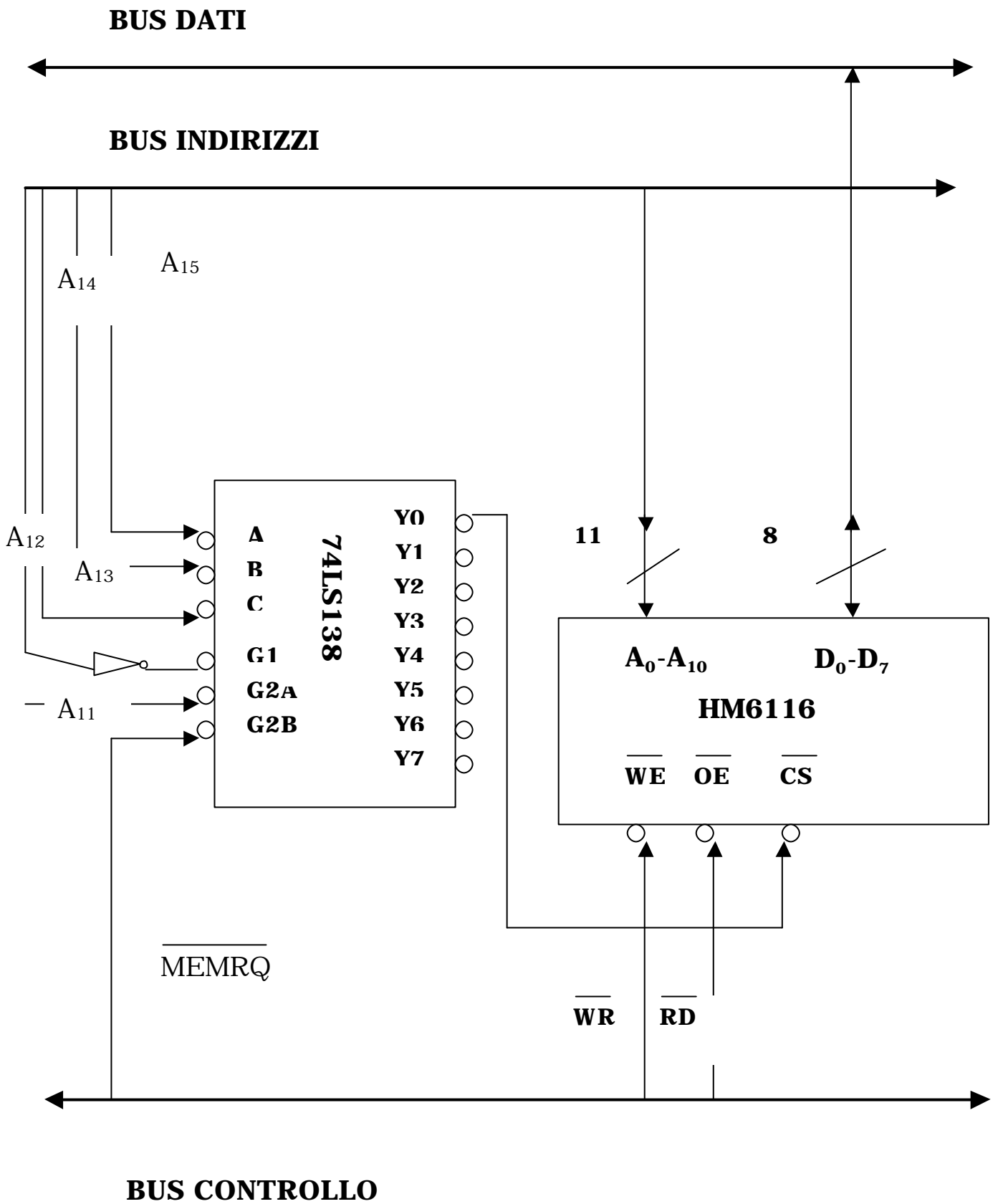


Per il 741378 ad esempio il tutto è regolato dalla seguente tabella

<b>A</b>	<b>B</b>	<b>C</b>	<b>USCITA ATTIVA</b>
<b>0</b>	<b>0</b>	<b>0</b>	<b>Y<sub>0</sub></b>
<b>0</b>	<b>0</b>	<b>1</b>	<b>Y<sub>1</sub></b>
<b>0</b>	<b>1</b>	<b>0</b>	<b>Y<sub>2</sub></b>
<b>0</b>	<b>1</b>	<b>1</b>	<b>Y<sub>3</sub></b>
<b>1</b>	<b>0</b>	<b>0</b>	<b>Y<sub>4</sub></b>
<b>1</b>	<b>0</b>	<b>1</b>	<b>Y<sub>5</sub></b>
<b>1</b>	<b>1</b>	<b>0</b>	<b>Y<sub>6</sub></b>
<b>1</b>	<b>1</b>	<b>1</b>	<b>Y<sub>7</sub></b>

L'uscita, però, viene selezionata soltanto se il decoder viene abilitato e ciò avviene se gli ingressi di selezione sono attivi cioè  $G_1=1$ ,  $G_{2A}=0$ ,  $G_{2B}=0$ .

Una possibile soluzione circuitale è quella della pagina seguente.



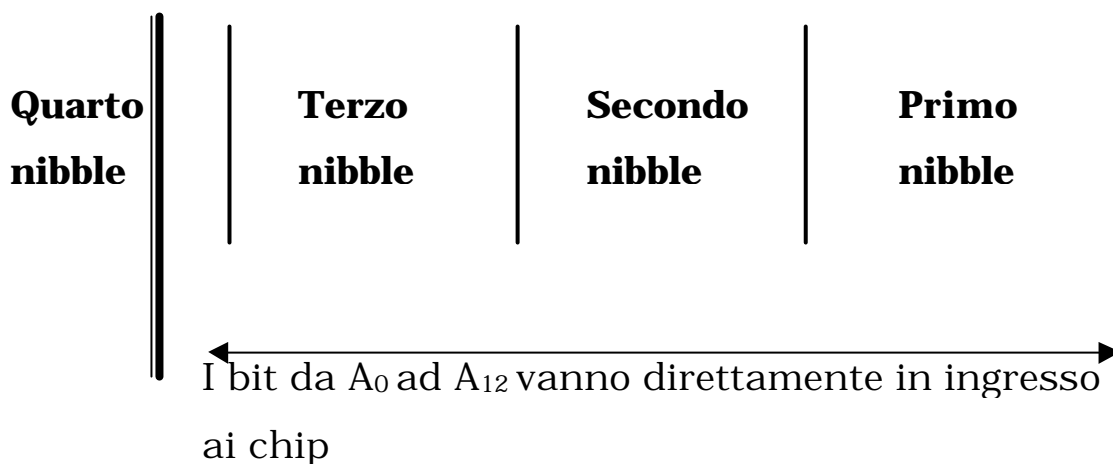
Poiché, come si nota dalla mappa, i bit da A<sub>15</sub> ad A<sub>13</sub> devono essere sempre a zero, li utilizziamo per realizzare gli ingressi di selezione del decoder. In tal caso, l'uscita che verrà attivata sarà Y<sub>0</sub> per cui utilizzeremo quest'ultima per realizzare l'ingresso d'abilitazione del chip CS . Rimangono inutilizzati i bit A<sub>12</sub> ed A<sub>11</sub>. Il primo lo utilizziamo per realizzare l'ingresso di abilitazione G<sub>A</sub> ma questo è attivo alto mentre A<sub>12</sub> si troverà a zero, occorre dunque interporre una porta NOT. A<sub>11</sub>, invece, si può collegare senza problemi a G<sub>2A</sub>. L'ultimo ingresso di abilitazione è G<sub>2B</sub> che realizziamo con il segnale MEMRQ così ci assicuriamo che l'intero circuito si attivi soltanto quando il microprocessore sta eseguendo un'operazione in memoria.

**2° esempio**

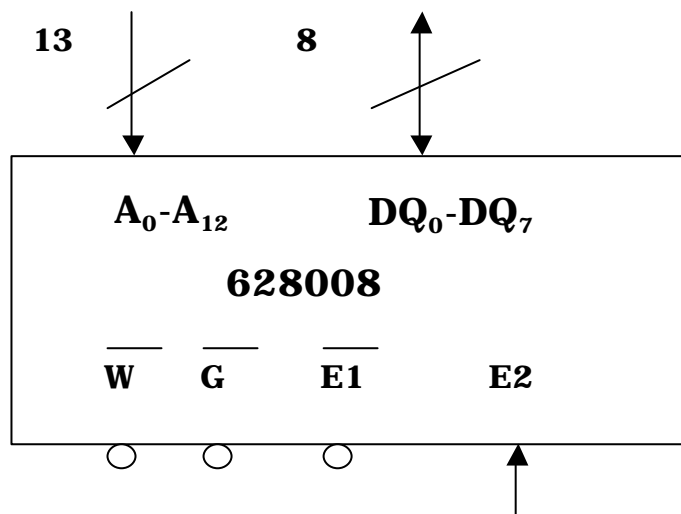
realizziamo un banco di memoria da 16 kbyte di cui 8 di RAM e 8 di ROM. Facciamo in modo che il chip di ROM occupi i primi indirizzi di memoria e che la RAM lo segua senza soluzione di continuità.

Costruiamo innanzitutto la mappa degli indirizzi.

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 <sub>h</sub>
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF <sub>h</sub>
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000 <sub>h</sub>
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	2FFF <sub>h</sub>



Per la RAM scegliamo il chip 628008



Esso presenta un ingresso di abilitazione  $\overline{G}$  e due ingressi supplementari  $E_1$  ed  $E_2$ , ed inoltre un'abilitazione  $\overline{W}$  alla scrittura, non è presente, invece, un'abilitazione alla lettura. La funzionalità dei piedini è espressa dalla seguente tabella

$\overline{E_1}$	$E_2$	$\overline{W}$	$\overline{G}$	significato
1	1	1	1	Uscite in alta impedenza
0	1	1	0	Chip selezionato in lettura
0	1	0	X	Chip selezionato in scrittura

$\overline{E_1}$	$E_2$	$\overline{W}$	$\overline{G}$	significato
1	X	X	X	Uscite in alta impedenza Chip in stand-by
X	0	X	X	Uscite in alta impedenza Chip in stand-by con basso consumo

Il chip di EPROM presenta, invece, due piedini di abilitazione  $\overline{E}$  e  $\overline{G}$  e due piedini  $\overline{P}$  e  $V_{pp}$  usati durante la programmazione

$\overline{E}$	$\overline{G}$	$\overline{P}$	$V_{pp}$	significato
0	0	1	$V_{cc}$	Abilitato alla lettura
0	1	1	$V_{cc}$	Uscite in alta impedenza
0	1	impulsi	$V_{pp}=12,5$ volt	programmazione

$\overline{E}$	$\overline{G}$	$\overline{P}$	$V_{pp}$	significato
1	X	X	$V_{pp}$	Inibizione alla programmazione uscite in alta impedenza
1	X	X	$V_{cc}$	Chip in stand- by

Passiamo alla soluzione circuitale. Dalla tabella degli indirizzi vediamo che i bit  $A_{15}$ ,  $A_{14}$  ed  $A_{13}$  devono valere 000 perché si attivi il chip di EPROM mentre devono valere 001 perché si attivi il chip di RAM. Allora, se li utilizziamo come ingressi di selezione del decoder, il chip di EPROM dovrà essere selezionato mediante l'uscita  $Y_0$  ed il chip di RAM mediante l'

**BUS INDIRIZZI**

