

L'integrato NE555 come monostabile

Il multivibratore monostabile (detto anche one-shot) è un circuito che, a regime, permane nello stato stabile; per rimuoverlo da questo stato e portarlo nello stato quasi stabile occorre applicare un segnale esterno ad un ingresso, chiamato ingresso di trigger o di sincronismo ; in fig. 1 è riportato lo schema funzionale di un monostabile in cui sono evidenziati l'ingresso di trigger e la rete RC di temporizzazione che regola la durata dello stato quasi stabile.

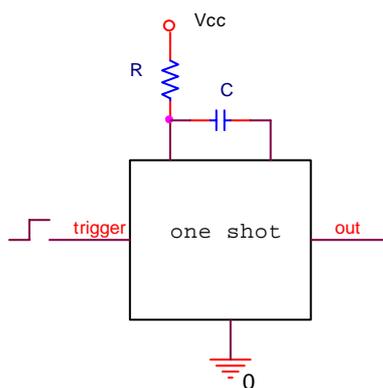


fig. 1

Il monostabile spesso commuta in sincronismo con un fronte del segnale di trigger (quello di discesa in fig. 2)

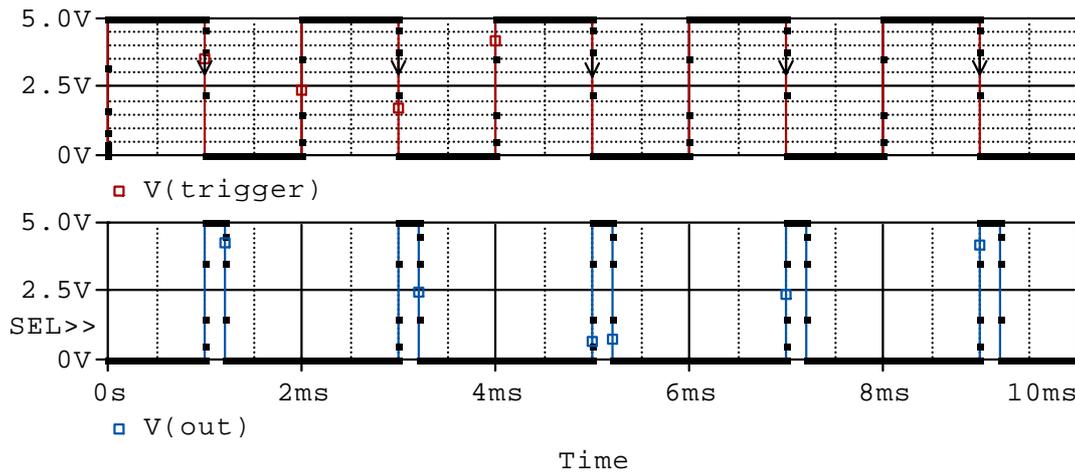


fig. 2

Il monostabile è sostanzialmente un temporizzatore; esso è usato per attivare un dato processo (un allarme) per un tempo ben determinato, in coincidenza di un evento (la rottura del vetro in un'automobile ad esempio).

Il monostabile può essere:

- non retriggerabile; in questo caso esso ignora tutti gli impulsi di sincronismo che dovessero arrivare mentre si trova già nello stato quasi stabile
- retriggerabile; in questo caso esso inizia un nuovo ciclo di temporizzazione tutte le volte che arriva un nuovo impulso di sincronismo, indipendentemente dallo stato in cui esso si trova.

In fig. 3 troviamo la forma d'onda del segnale di uscita di un monostabile non retriggerabile, sincronizzato dal fronte di discesa di un segnale di trigger; l'impulso fornito dal monostabile ha durata $T_o=1.3\text{ms}$, mentre il segnale di sincronismo ha periodo 1ms. Le forme d'onda confermano che il monostabile ignora tutti i fronti di sincronismo che arrivano mentre sta già eseguendo una temporizzazione e, perciò, esso si lascia sincronizzare ogni 2 periodi del segnale di trigger; in queste condizioni, la tensione di uscita ha periodo doppio rispetto a quello del segnale di trigger e il monostabile funziona da divisore di frequenza per 2

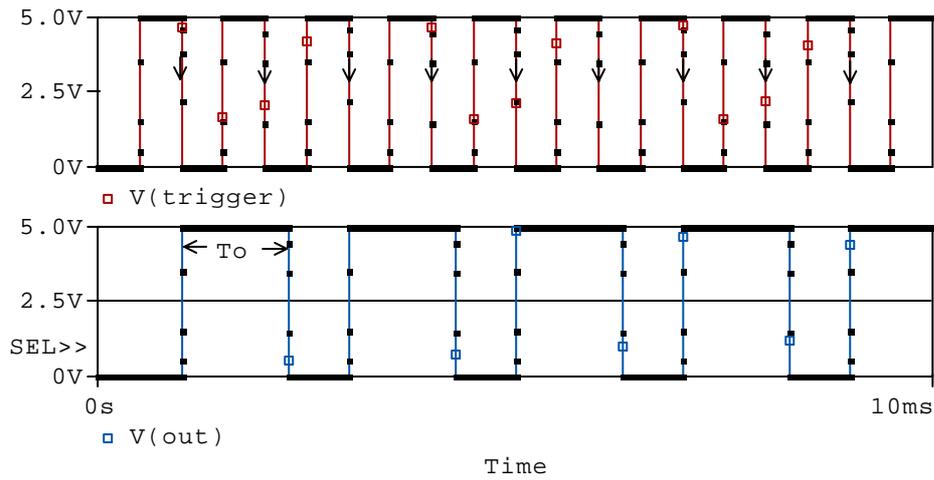


fig. 3

In fig. 4 troviamo la forma d'onda del segnale di uscita di un monostabile retriggerabile, sincronizzato sempre dal fronte di discesa di un segnale di trigger; l'impulso fornito dal monostabile ha di nuovo durata $T_o=1.3\text{ms}$ e il segnale di sincronismo ha periodo 1ms. Come possiamo notare, non appena arriva il primo fronte di sincronismo, il monostabile si porta nello stato quasi stabile e vi rimane perché, prima che esso riesca a tornare nello stato stabile, arriva un altro fronte di sincronismo che gli fa iniziare un nuovo ciclo di temporizzazione.

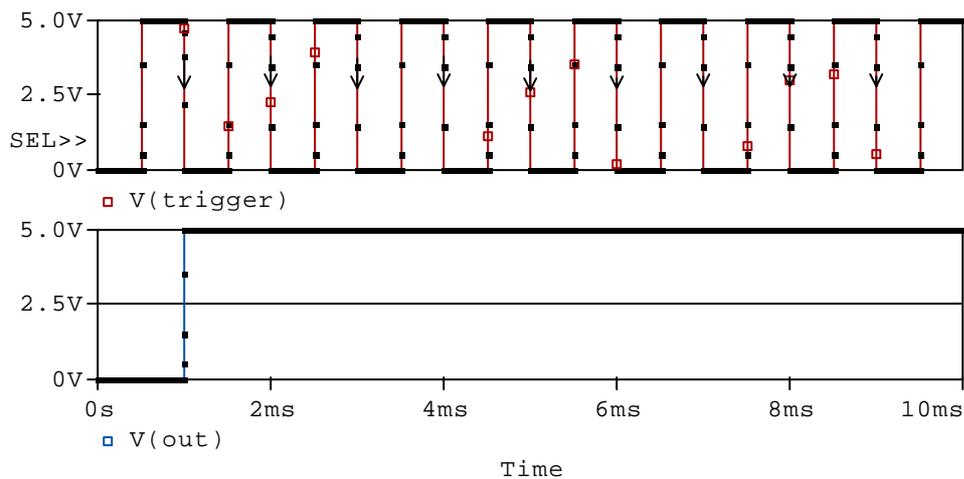
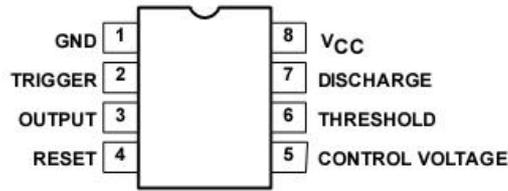


fig.

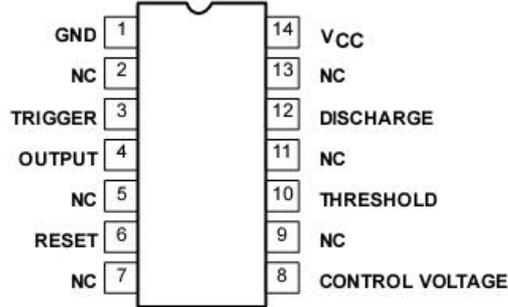
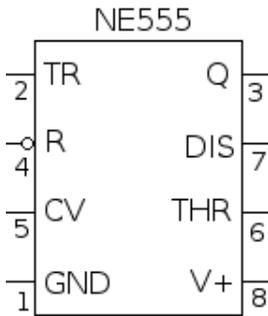
4

Il monostabile può essere realizzato in vari modi e lo ritrova in commercio in forma integrata. Noi studieremo un circuito che impiega un timer 555.

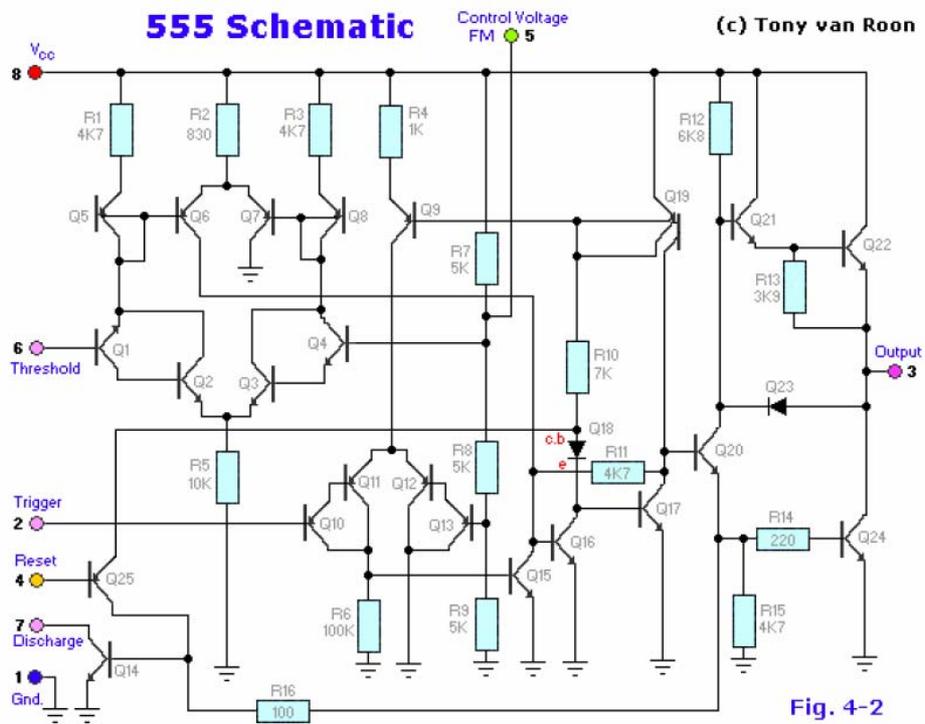
D, N, FE Packages



F Package



SYMBOL	PARAMETER	TEST CONDITIONS	SE555			NE555/SE555C			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{CC}	Supply voltage		4.5		18	4.5		16	V
I_{CC}	Supply current (low state) ¹	$V_{CC}=5V, R_L=\infty$ $V_{CC}=15V, R_L=\infty$		3 10	5 12		3 10	6 15	mA mA
t_M $\Delta t_M/\Delta T$ $\Delta t_M/\Delta V_S$	Timing error (monostable) Initial accuracy ² Drift with temperature Drift with supply voltage	$R_A=2k\Omega$ to $100k\Omega$ $C=0.1\mu F$		0.5 30 0.05	2.0 100 0.2		1.0 50 0.1	3.0 150 0.5	% ppm/ $^{\circ}C$ %/V
t_A $\Delta t_A/\Delta T$ $\Delta t_A/\Delta V_S$	Timing error (astable) Initial accuracy ² Drift with temperature Drift with supply voltage	$R_A, R_B=1k\Omega$ to $100k\Omega$ $C=0.1\mu F$ $V_{CC}=15V$		4 0.15	6 500 0.6		5 0.3	13 500 1	% ppm/ $^{\circ}C$ %/V
V_C	Control voltage level	$V_{CC}=15V$ $V_{CC}=5V$	9.6 2.9	10.0 3.33	10.4 3.8	9.0 2.6	10.0 3.33	11.0 4.0	V V
V_{TH}	Threshold voltage	$V_{CC}=15V$ $V_{CC}=5V$	9.4 2.7	10.0 3.33	10.6 4.0	8.8 2.4	10.0 3.33	11.2 4.2	V V
I_{TH}	Threshold current ³			0.1	0.25		0.1	0.25	μA
V_{TRIG}	Trigger voltage	$V_{CC}=15V$ $V_{CC}=5V$	4.8 1.45	5.0 1.67	5.2 1.9	4.5 1.1	5.0 1.67	5.6 2.2	V V
I_{TRIG}	Trigger current	$V_{TRIG}=0V$		0.5	0.9		0.5	2.0	μA
V_{RESET}	Reset voltage ⁴	$V_{CC}=15V, V_{TH}=10.5V$	0.3		1.0	0.3		1.0	V
I_{RESET}	Reset current Reset current	$V_{RESET}=0.4V$ $V_{RESET}=0V$		0.1 0.4	0.4 1.0		0.1 0.4	0.4 1.5	mA mA
V_{OL}	Output voltage (low)	$V_{CC}=15V$ $I_{SINK}=10mA$ $I_{SINK}=50mA$ $I_{SINK}=100mA$ $I_{SINK}=200mA$ $V_{CC}=5V$ $I_{SINK}=8mA$ $I_{SINK}=5mA$		0.1 0.4 2.0 2.5	0.15 0.5 2.2		0.1 0.4 2.0 2.5	0.25 0.75 2.5	V V V V
V_{OH}	Output voltage (high)	$V_{CC}=15V$ $I_{SOURCE}=200mA$ $I_{SOURCE}=100mA$ $V_{CC}=5V$ $I_{SOURCE}=100mA$	13.0 3.0	12.5 13.3 3.3		12.75 2.75	12.5 13.3 3.3		V V V
t_{OFF}	Turn-off time ⁵	$V_{RESET}=V_{CC}$		0.5	2.0		0.5	2.0	μs
t_R	Rise time of output			100	200		100	300	ns
t_F	Fall time of output			100	200		100	300	ns
	Discharge leakage current			20	100		20	100	nA

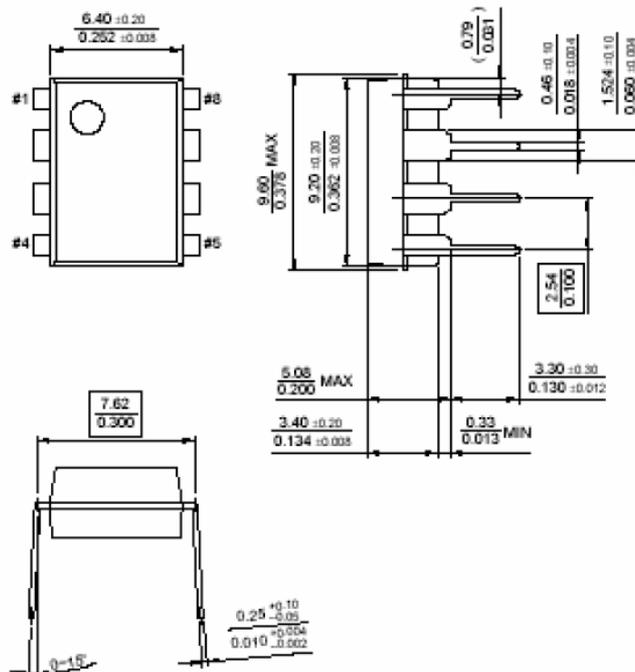


Mechanical Dimensions

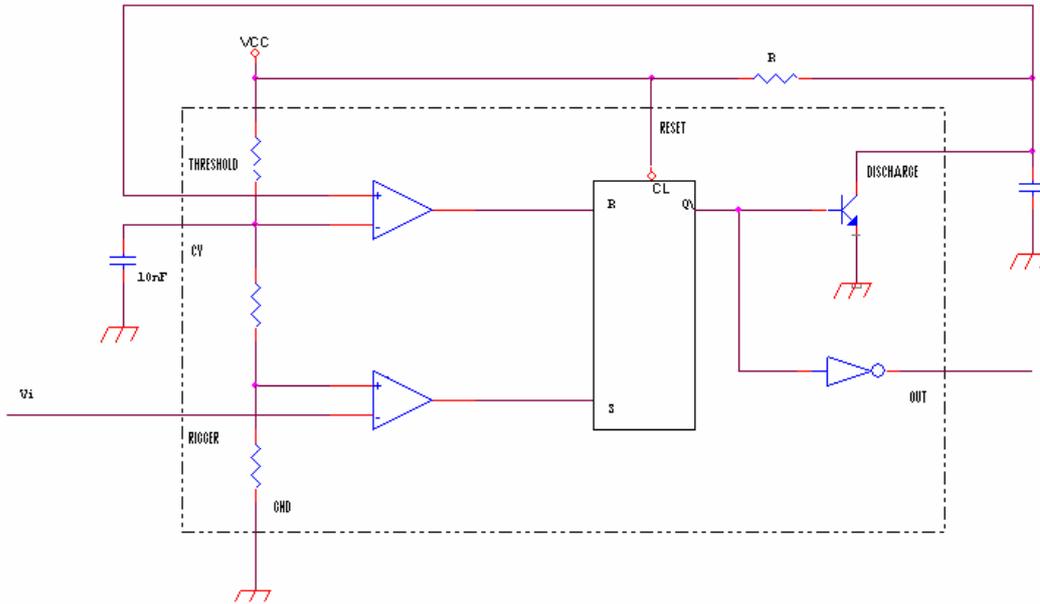
Package

Dimensions in millimeters

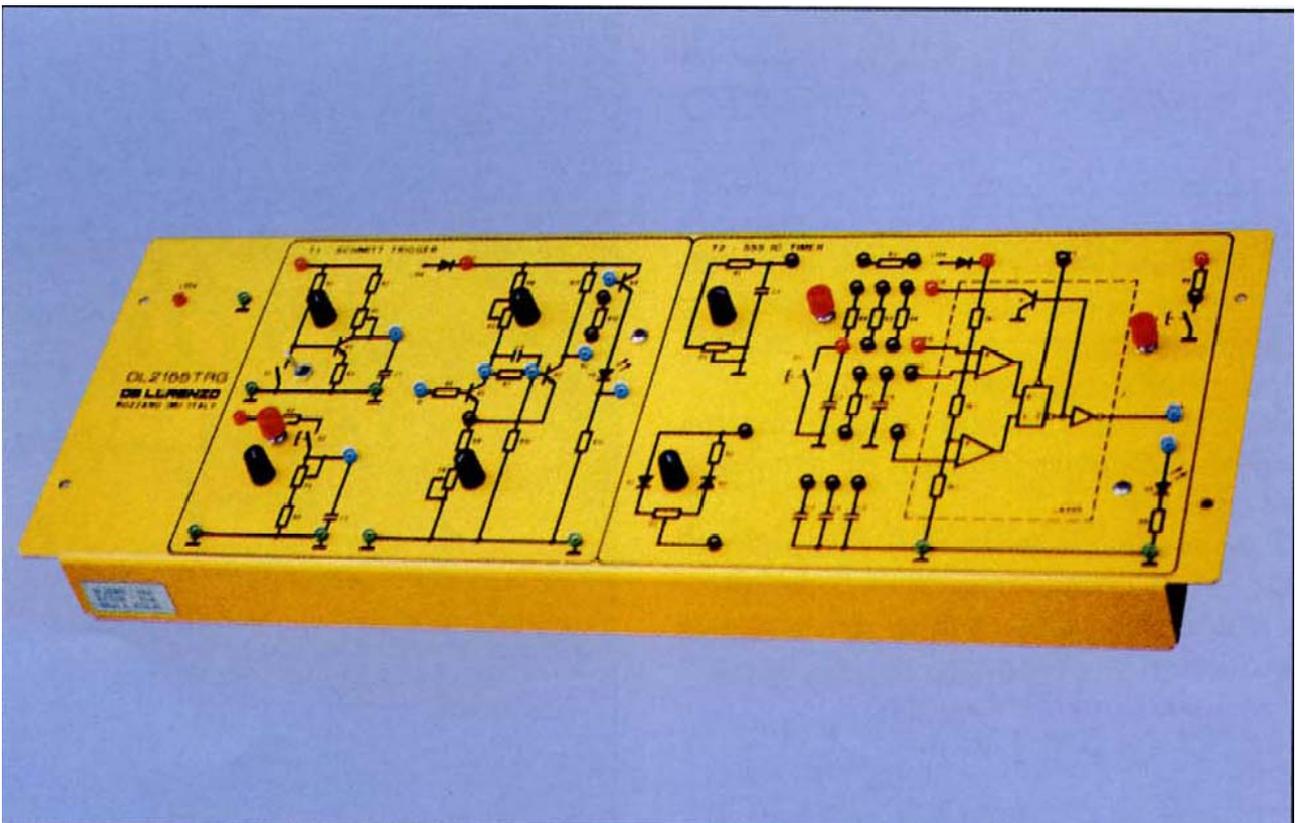
8-DIP



Di seguito è riportato il circuito



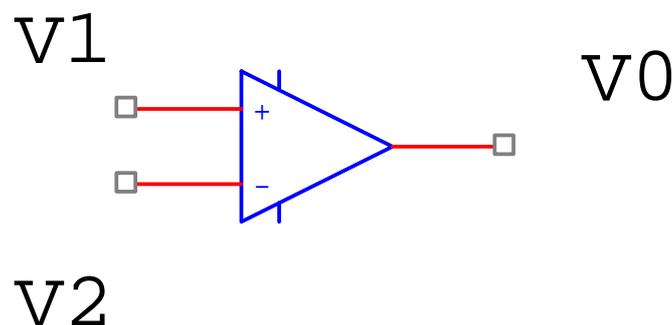
L'integrato NE555 è rappresentato dalla parte racchiusa dalla linea tratteggiata. I numeri presenti in prossimità di tale linea individuano i pin dell'integrato. Si nota, all'interno dell'integrato, un latch di tipo SR.



Un latch di tipo SR è un circuito sequenziale con due ingressi denominati S ed R e due uscite Q e \bar{Q} che soddisfano la seguente tabella

S	R	Q	\bar{Q}
0	0	Q	\bar{Q}
0	1	0	1
1	0	1	0
1	1	X	X

La prima combinazione degli ingressi fa in modo che le uscite permangano ai valori che avevano precedentemente. L'ultima combinazione non è utilizzata. Come si può notare dalla figura, i segnali S ed R sono ricavati dalle uscite di due comparatori (individuati dai due simboli triangolari). Inoltre il latch contenuto nell'integrato presenta la sola uscita negata \bar{Q} . Un comparatore di tensione è un dispositivo che presenta un'uscita e due morsetti individuati rispettivamente con un + ed un -



Questo dispositivo confronta le due tensioni V_1 e V_2 presenti agli ingressi dell'operazionale. Se $V_1 > V_2$, l'uscita si porta a livello logico alto, se $V_1 < V_2$ l'uscita si porta a livello logico basso. La condizione $V_1 = V_2$ seppur logicamente possibile, non può, in realtà verificarsi in quanto, essendo il comparatore estremamente sensibile, basta una differenza infinitesima fra i due segnali a far scattare il comparatore. All'interno del NE555 vi è un partitore resistivo costituito da tre resistenze in serie da 5 kohm. Ne deriva che al morsetto - del superiore arriva una tensione pari a $\frac{2}{3}V_{cc}$ mentre al morsetto + del comparatore inferiore giunge la tensione di $\frac{1}{3}V_{cc}$. I componenti che, nella figura, appaiono all'esterno della linea tratteggiata non fanno parte dell'integrato e sono aggiunti per fare in

modo che esso si comporti come un circuito monostabile. *Il condensatore da 10 nF collegato al piedino 5 ha lo scopo di mantenere stabile la tensione fornita dal partitore resistivo.*

Supponiamo che inizialmente il latch SR sia resettato per cui l'uscita \overline{Q} si trova a livello logico alto. Ciò comporta che il BJT sia in saturazione per cui il condensatore risulta cortocircuitato. Ne discende che il comparatore superiore ha al morsetto invertente una tensione data dal partitore costituito da 3 resistenze uguali, pari a $\frac{2}{3}V_{cc}$. Al morsetto non invertente giunge invece la tensione del condensatore che è nulla. L'uscita del comparatore è dunque a livello logico basso. L'ingresso di trigger V_i , in condizioni di riposo deve essere a livello logico alto (V_{cc}). Pertanto il comparatore inferiore presenta al morsetto invertente una tensione superiore a quella presente al morsetto non invertente pari a $\frac{1}{3}V_{cc}$ e la sua uscita si trova a valore logico zero. Ne deriva che il latch ha $S=0$ ed $R=0$, per cui è in stato di memorizzazione della sua uscita precedente e rimane $\overline{Q}=1$. Di conseguenza il dispositivo rimane in uno stato di stabilità caratterizzato dall'uscita (che è ottenuta negando \overline{Q}) a valore logico zero.

Se ora applichiamo un impulso in ingresso tale che V_i divenga nullo, il comparatore inferiore si troverà con una tensione al morsetto positivo che supera quella al morsetto negativo e inverte il valore della sua uscita che si porta al valore logico alto. Di conseguenza risulta $S=1$ ed $R=0$, per cui l'uscita del latch commuta. Azzerandosi \overline{Q} il transistor va in interdizione e il condensatore è ora libero di caricarsi attraverso la resistenza R che lo collega all'alimentazione. La carica continua finché il condensatore non raggiunge la tensione di $\frac{2}{3}V_{cc}$. In tal caso il comparatore superiore si porta ad un livello logico alto. Intanto l'impulso di trigger è già terminato per cui il comparatore inferiore si è riportato ad un valore logico basso. Quindi $\overline{Q}=1$. Nuovamente il BJT cortocircuita il condensatore che non è più in grado di ricaricarsi fino all'arrivo di un successivo impulso di trigger.

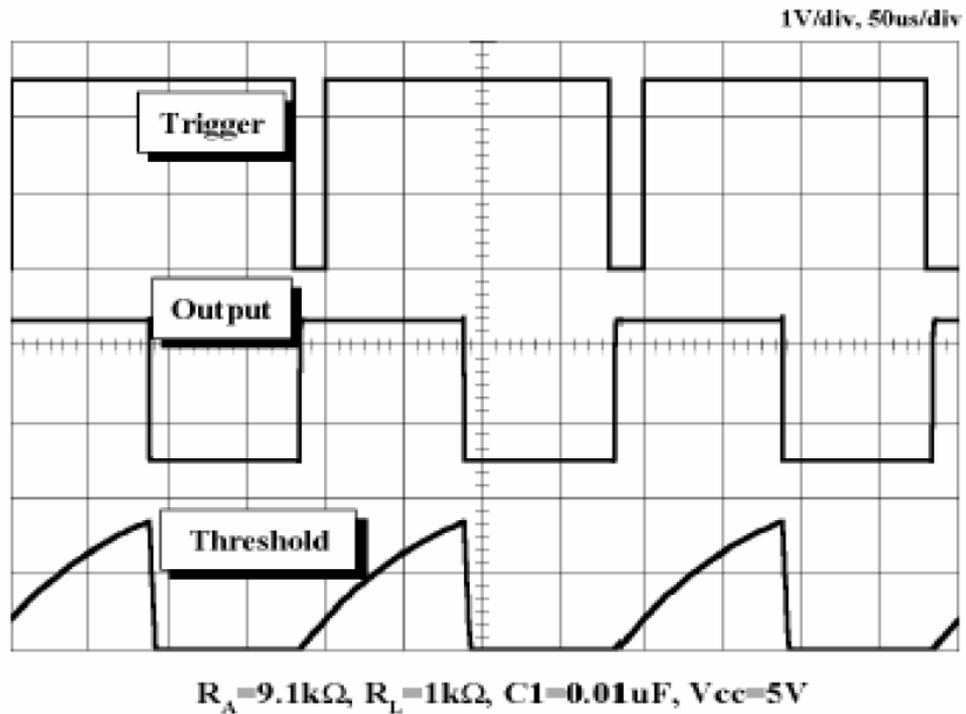
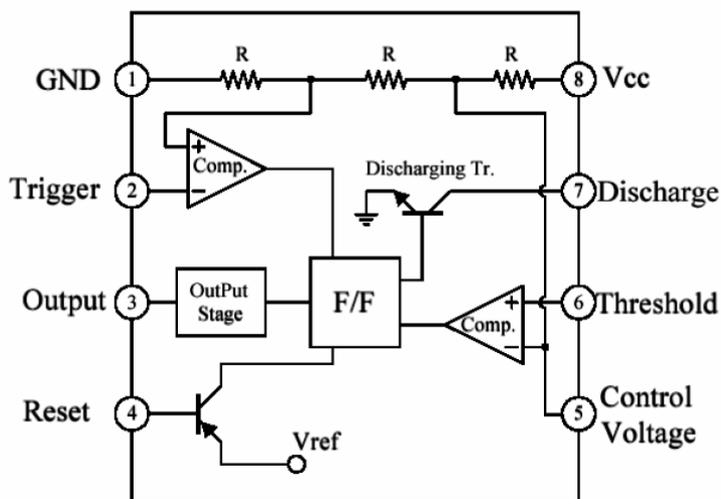
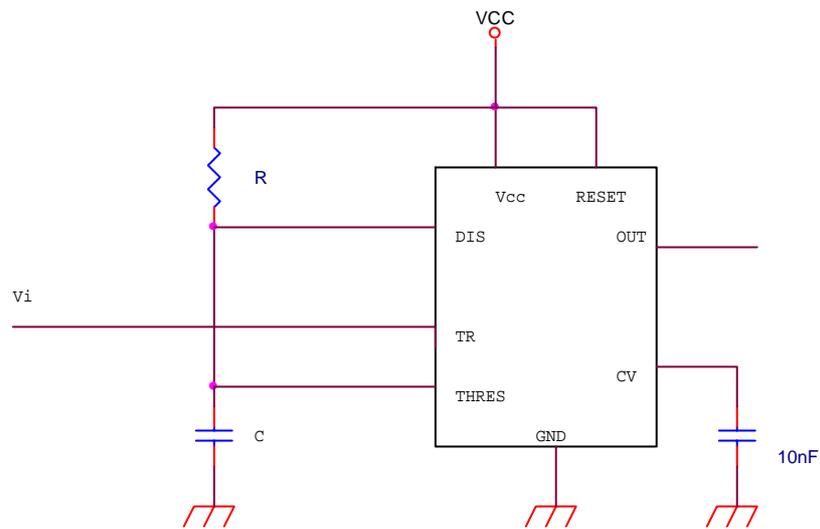


Figure 3. Waveforms of Monostable Operation

Dobbiamo ora trovare una relazione fra il valore dei componenti che inseriamo nel circuito e la durata dell'impulso che otteniamo in uscita. Innanzitutto tenendo presente i nomi dei piedini che l'integrato possiede e confrontando con il circuito iniziale possiamo ricavare il



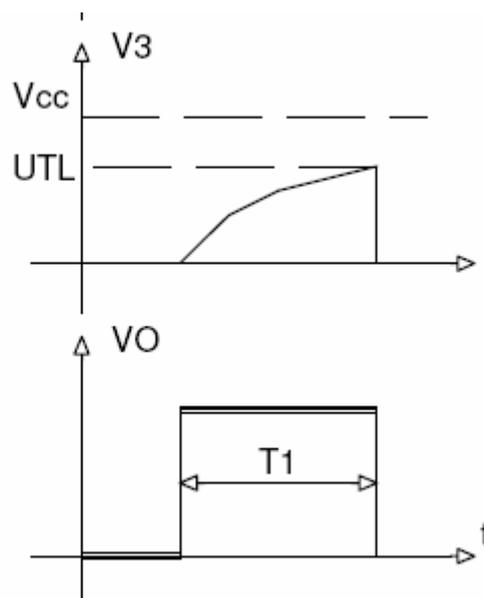
circuito di un monostabile basato su NE555



Per trovare la relazione cominciamo con il dire che il condensatore C si caricherà secondo la seguente legge

$$v_C(t) = V_{CC} \left(1 - e^{-\frac{t}{\tau_A}} \right)$$

Per ricavare il tempo T_1 di durata dell'impulso basta sostituirlo al posto di t nella equazione precedente e ricordare che a quel istante la tensione raggiunta dal condensatore è proprio $\frac{2}{3}V_{CC}$



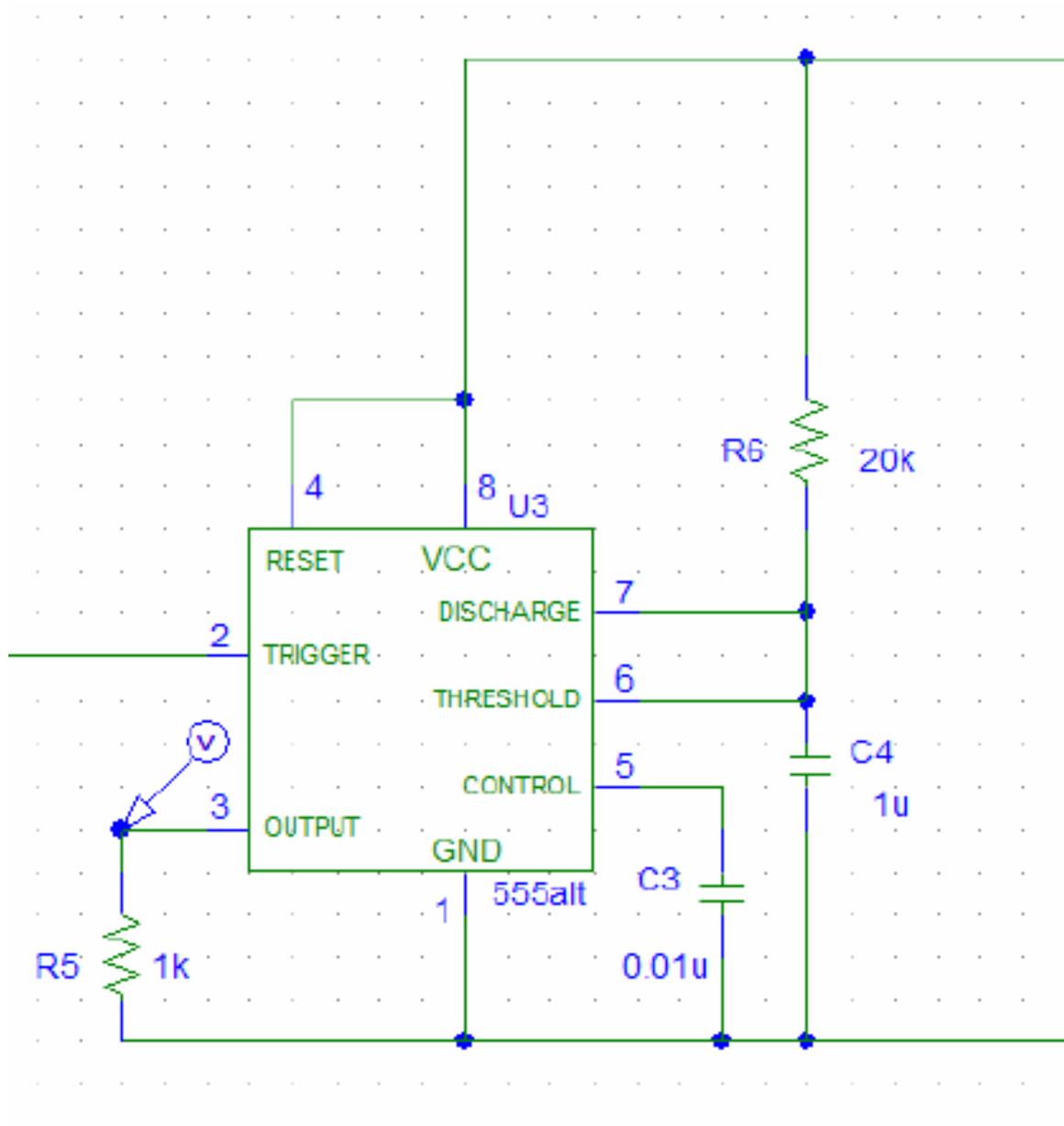
Quindi si avrà

$$v_C(T_1) = UTL = \frac{2}{3}V_{CC} = V_{CC} \left(1 - e^{-\frac{T_1}{\tau_A}} \right)$$

Ricavando T_1 da questa equazione otterremo

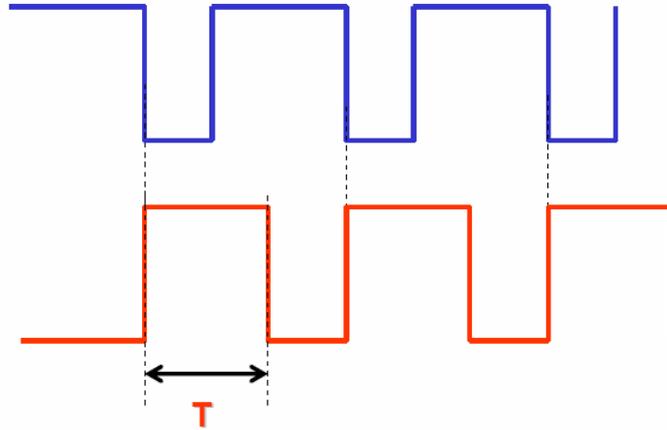
$$T_1 = R_A \cdot C_A \ln 3 \cong 1,1 \cdot R_A \cdot C_A$$

Dato ad esempio il circuito seguente

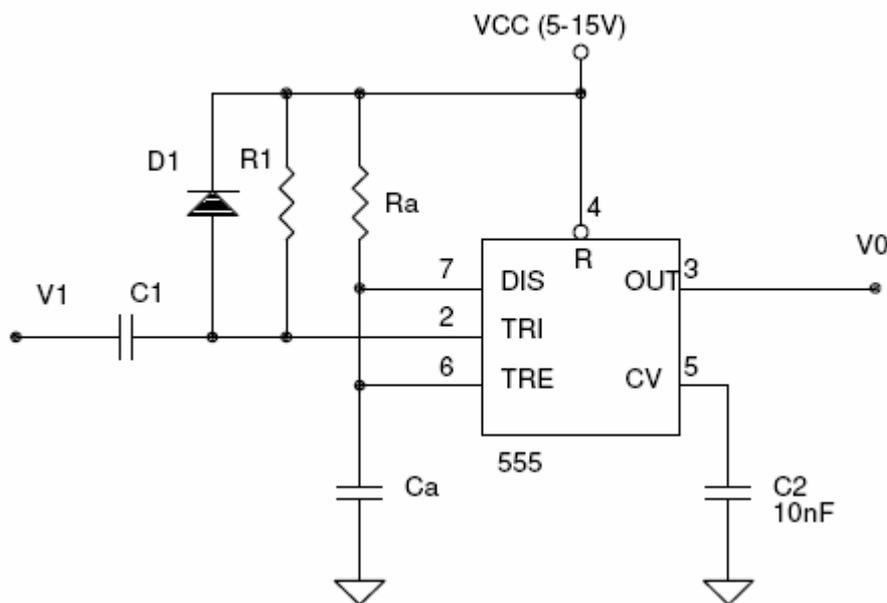


otterremo impulsi della durata seguente

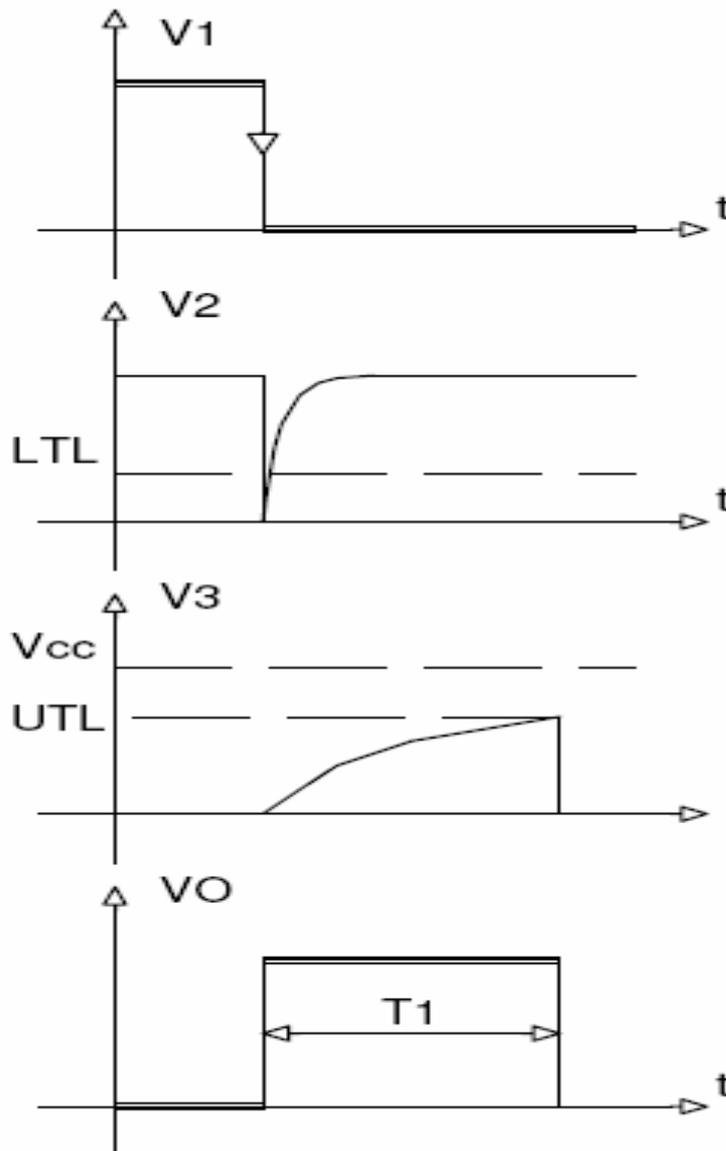
$$T=1.1 \cdot R \cdot C=1.1 \cdot (20\text{k}\Omega) \cdot (1\mu\text{F}) \sim 22\text{ms}$$



Spesso per fare in modo che il segnale di trigger abbia una durata molto ridotta si usa un condensatore di disaccoppiamento sull'ingresso di trigger. Si ricordi che un condensatore non consente il passaggio di tensioni continue ma soltanto di tensioni variabili nel tempo per cui come ingresso di trigger possiamo anche utilizzare un segnale che abbia un fronte di discesa senza preoccuparci di verificare quanto durerà lo stato a livello logico basso.



Nel circuito precedente la resistenza R1 tiene l'ingresso sempre a livello alto: quando il segnale V1 passa dal livello logico alto al livello logico basso otterremo per un brevissimo tempo un impulso di scarica sul condensatore.



R1 e C vanno scelti in modo che diano una costante di tempo molto piccola rispetto alla durata dell'intervallo in cui V1 è a livello basso. Il diodo D1 serve a prevenire eventuali impulsi in ingresso superiori a Vcc che potrebbero danneggiare il circuito. Infatti il diodo è normalmente interdetto e si attiverebbe soltanto se in ingresso ci fosse una tensione che supera Vcc creando così un corto circuito.

Durante il ciclo di temporizzazione, se dovessero giungere ulteriori fronti di discesa all'ingresso V1 del monostabile, tali segnali non possono modificare lo stato logico dell'uscita in quanto il latch interno risulta insensibile a segnali che provengano dall'ingresso di Trigger durante la carica di Ca; infatti se il condensatore non ha ancora raggiunto la tensione di $2/3V_{cc}$ il comparatore superiore da una tensione a livello logico basso quindi $R=0$ e su il comparatore inferiore, in corrispondenza di un impulso di trigger

si avrebbe un'uscita a livello logico 0, per cui il flip flop conserverebbe lo stato precedente. Il ciclo di temporizzazione perciò continua imperturbato fino alla sua normale conclusione. Per questo modo di funzionare il circuito monostabile viene anche detto di tipo "non retriggerabile".