

Interfaccia 8251

L'8251 è una USART che controlla la ricezione/trasmissione e che può essere configurata via software per lo scambio di dati con diversi formati:

- i caratteri possono essere lunghi da 5 a 8 bit
- la parità può essere pari, dispari o non esserci affatto
- ogni carattere è delimitato da un bit di START ed 1, 1 ½ o 2 bit di STOP.

Questo dispositivo possiede, inoltre, un meccanismo di rilevazione automatica degli errori di parità, trama e sovrapposizione.

Nella figura seguente compare la piedinatura del chip e la struttura interna dell'interfaccia. Come si può vedere, questo dispositivo è diviso in quattro sezioni:

- interfaccia con il microprocessore
- ricezione
- trasmissione
- controllo del modem

l'interfaccia con il microprocessore è costituita da un bus bidirezionale ad 8 bit sul quale viaggiano i dati, i comandi e le parole di stato. Questo bus è associato ad una

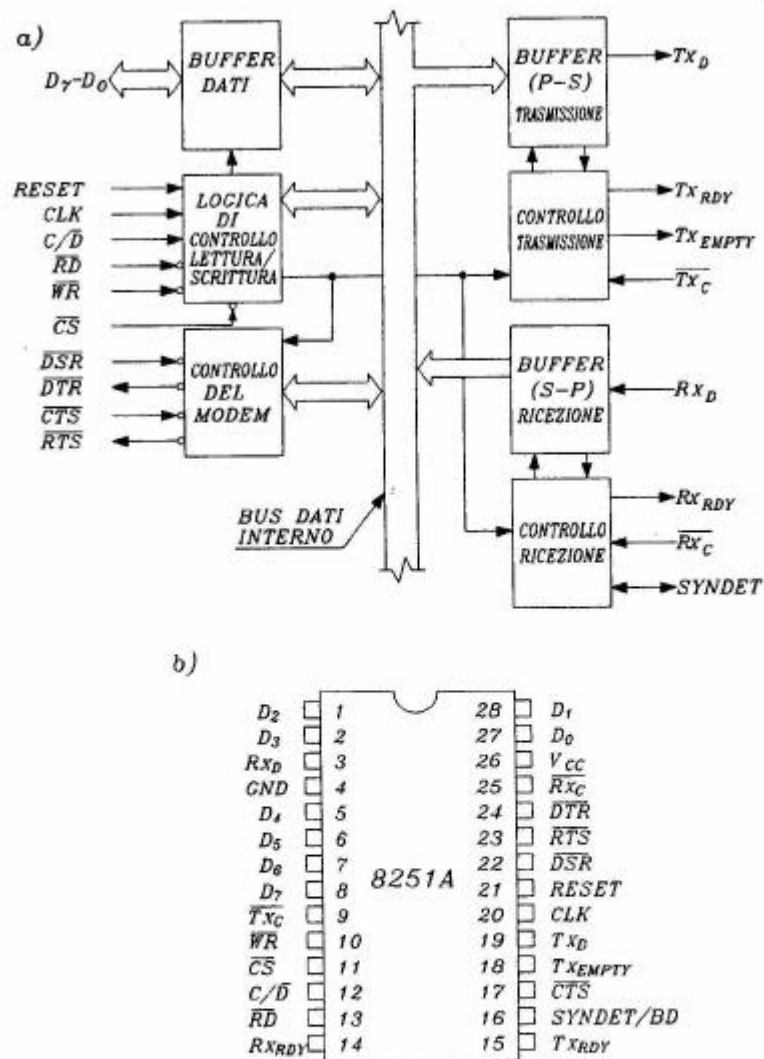


Fig. 10.11 - Interfaccia seriale INTEL 8251A.
a) architettura
b) piedinatura

logica di controllo che ci dice se l'informazione trattata in un certo momento è un dato o un controllo, attraverso la linea $C/\bar{D}$ e, nel caso che sia un dato, se esso sia da

leggere o scrivere mediante le linee $\bar{RD}$ e $\bar{WR}$. Inoltre è presente un ingresso di abilitazione del chip $\bar{CS}$.

$C/\bar{D}$	$\bar{RD}$	$\bar{WR}$	$\bar{CS}$	
0	0	1	0	Dato dal 8251 al microprocessore
0	1	0	0	Dato dal microprocessore al 8251
1	0	1	0	Stato del 8251 letto dal microprocessore
1	1	0	0	Scrittura della parola di controllo da parte del microprocessore sul 8251
X	1	1	0	Uscite in three-state
X	X	X	1	Uscite in three-state

La sezione relativa alla ricezione legge le sequenze di dati entranti dalla linea RxD e li converte in forma parallela. Quando una condizione di SPACE (zero logico) viene rilevata dalla linea, viene azionato un contatore. Quando esso giunge a metà unità di conteggio (un'unità di conteggio equivale al reciproco del baud rate o velocità di trasmissione) viene di nuovo testato il livello logico della linea. Se ad esempio, il baud rate è di 2400 bit al secondo, un'unità di conteggio equivale a $1 \text{ secondo} / 2400 = 410$ microsecondi per cui la linea viene testata dopo 205 microsecondi dalla prima rilevazione dello space. Se all'istante del nuovo test la linea è ancora a livello di SPACE, allora il 8251 capisce che è stato rilevato un bit di START. La linea d'ingresso verrà testata ad ogni successiva unità di conteggio fino al completamento

del carattere e raggiungimento del bit di STOP. Terminata la ricezione del carattere, questo viene trasferito nel registro di ricezione dati.

Durante la ricezione l'8251 rileva automaticamente eventuali errori di parità, trama o sovrapposizione e li segnala settando il relativo flag del registro di stato. Successivamente l'8251 porta a livello logico alto la linea R_{XRDY} per avvertire il microprocessore che un carattere valido è disponibile nel registro di ricezione dei dati. Questa linea viene automaticamente resettata quando il microprocessore legge il contenuto del registro.

Siccome il PCI 8251 non possiede un generatore interno di baud rate, attraverso la linea R_{xc} viene fornito dall'esterno il segnale di clock usato come base per il baud rate. Esso può essere diviso all'interno dell'8251 per 16 o 64 al fine di poter variare la velocità di ricezione.

La sezione di trasmissione esegue il compito opposto a quello di ricezione e cioè riceve un carattere parallelo dal bus dati del microprocessore, gli aggiunge il bit di START, l'eventuale bit di parità, il corretto numero di bit di STOP, ed inserisce il tutto nel registro di trasmissione dati. Il contenuto di tale registro verrà inviato serialmente (bit a bit) sulla linea T_{xD} alla velocità stabilita dal baud rate.

Quando il registro di trasmissione dati è vuoto, la linea T_{XRDY} va ad 1 per segnalare al microprocessore che un altro carattere è stato trasmesso e sarà resettato quando un altro dato da trasmettere verrà scritto dal microprocessore nel registro di trasmissione dati.

I dati vengono trasmessi ad una velocità di baud rate basata sul segnale esterno di clock che entra in T_{XC} .

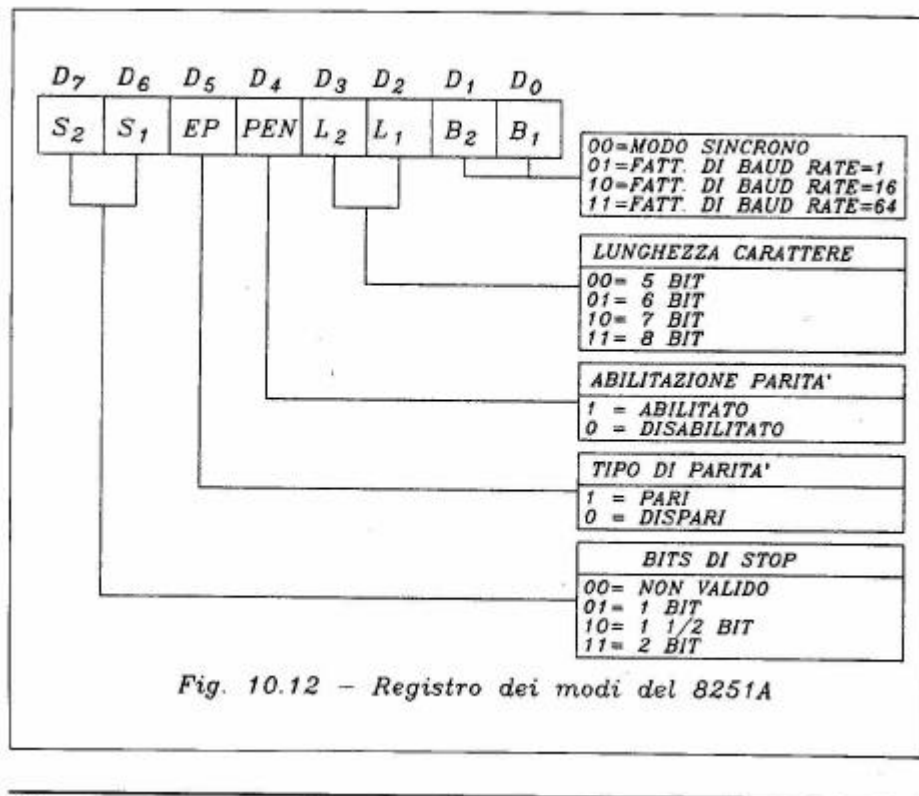
Di solito le velocità di trasmissione e ricezione sono uguali per cui esse vengono prodotte dallo stesso generatore di baud rate.

La sezione di controllo del modem non è altro che la sezione di controllo handshake. Essa colloquia con l'eventuale modem inserito per permettere la comunicazione a distanza. Dall'analisi dell'interfaccia RS232 si nota come per comandare un modem occorranza più linee delle quattro presenti in questa sezione, ma queste quattro, necessarie a qualsiasi tipo di protocollo, sono quelle che interessano direttamente la comunicazione verso il microprocessore. Le altre possono essere controllate da dei driver esterni al PCI che servono ad adattare il meccanismo di comunicazione al tipo di protocollo utilizzato.

Le operazioni sul PCI 8251 vengono realizzate attraverso la programmazione di tre registri interni di controllo

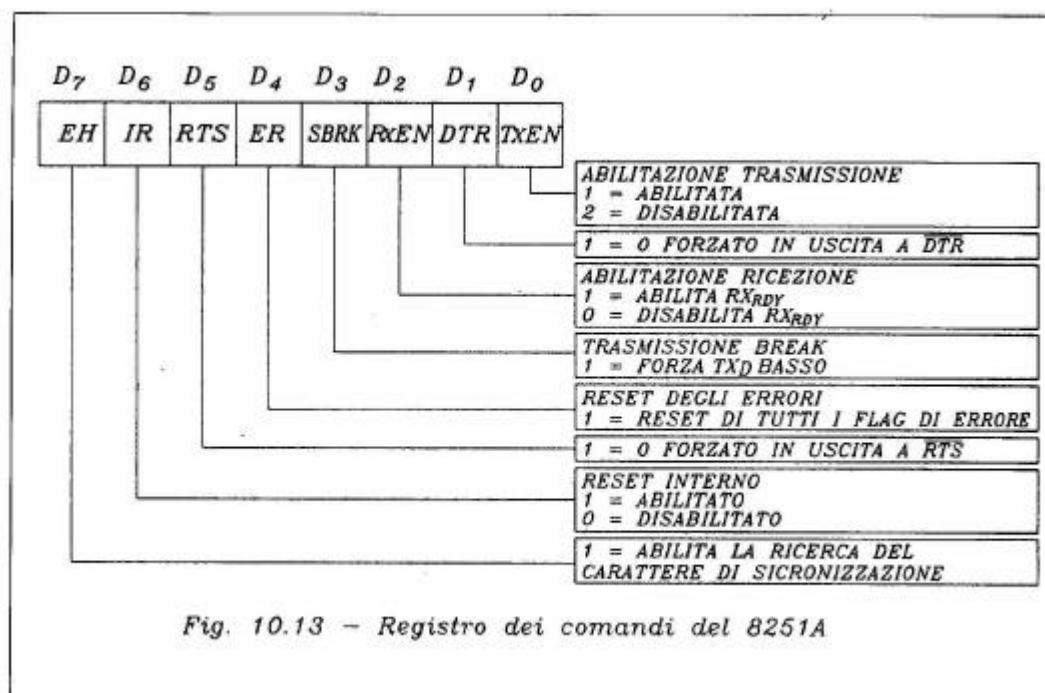
- registro dei modi
- registro dei comandi
- registro di stato.

Il registro dei modi controlla il modo di operare del trasmettitore e del ricevitore



i due bit meno significativi B₁ e B₂ stabiliscono se la trasmissione è di tipo sincrono o asincrono e a quale velocità. Il terzo ed il quarto bit L₁ ed L₂ stabiliscono la lunghezza del carattere. Il quinto e sesto bit PEN ed EP determinano se ci deve essere controllo di parità ed eventualmente di che tipo. Gli ultimi due bit S₁ ed S₂ stabiliscono, nel caso in cui il dispositivo stia lavorando in maniera asincrona, quanti sono i bit di stop.

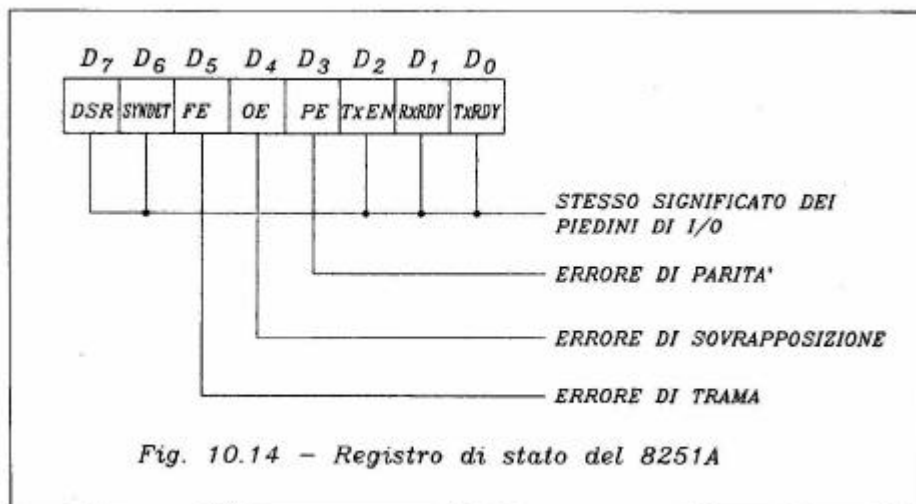
Una volta che si sia configurato il formato della comunicazione, le operazioni del PCI vengono controllate dal microprocessore attraverso il registro dei comandi.



le funzioni essenziali di questo registro sono l'abilitazione alla trasmissione e ricezione attraverso il settaggio dei bit T_{XEN} e R_{XEN} . In sostanza questi bit abilitano le linee Rx_{RDY} e Tx_{RDY} .

Il settaggio del bit IR (Internal Reset) da parte del microprocessore, provoca l'inizializzazione software del PCI. Il bit EH, quando è ad 1, abilita la ricerca del carattere di sincronizzazione nel caso di comunicazione sincrona.

Il bit ER (Error Reset), invece, viene usato per resettare i bit relativi alla rilevazione degli errori del registro di stato costituito dai flag PE (Parità Error), OE (Overrun Error) e FE (framing Error). Sarà compito del microprocessore controllare ciclicamente questi bit, in modo da rilevare un eventuale errore ed agire di conseguenza con una routine che chieda la ritrasmissione del dato dopo aver resettato i flag di errore attraverso il bit ER del registro dei comandi.



gli altri bit del registro di stato hanno lo stesso significato degli omonimi piedini dell'usart. Il bit D_7 ad 1 indica che è stato attivato il segnale DSR, il bit D_0 ad 1 indica che è stato attivato il bit CTS e che l'8251 ha il buffer vuoto e possiamo quindi trasmettere e così via.

Gli integrati MC1488 e MC1489

Un 8251 presenta livelli logici TTL mentre un'interfaccia RS232 prevede livelli logici diversi. Il livello del segnale RS232 può raggiungere +25 volt, mentre il livello normale è di +12 volt.

Per i dati si assegnano i seguenti livelli:

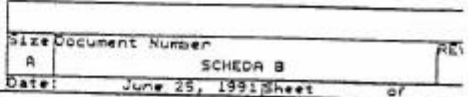
- -12 volt (con un limite massimo di -3 volt) per il livello logico 1 o MARK
- +12 volt (con un limite minimo di +3 volt) per il livello logico 0 detto SPACE

Per i segnali di controllo i livelli sono

- +12 volt quando il segnale è attivo o in condizione di ON
- -12 volt quando il segnale di controllo è inattivo o in condizione di OFF

Gli integrati MC1488 e MC1489 permettono di adattare i livelli TTL dell'USART con quelli RS232. in particolare l'MC1488 contiene quattro drivers di linea (3 nand e 1 not) che con un ingresso TTL, forniscono in uscita un livello RS232. l'integrato MC1489 contiene quattro not che con un ingresso RS232 forniscono in uscita il corrispondente livello TTL. Vediamo in figura un esempio di interfacciamento dell'8251 con lo Z80

DELL' 8251 con LO 280



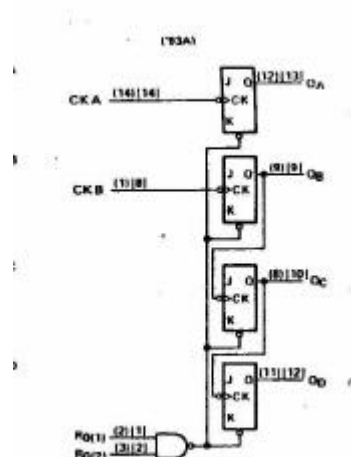
Come si può notare dalla figura, il Chip select dell'8251 è ricavato dall'uscita Y_2 del decoder mentre il segnale $C/\bar{D}$ è ricavato direttamente dal bit A_0 del bus indirizzi. Il

bit A_1 non viene utilizzato, così come i bit A_7 , A_6 e A_5 per cui si avrà che l'8251 presenterà i seguenti indirizzi

A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
X	X	X	1	0	0	X	0	08 _H
X	X	X	1	0	0	X	1	09 _H

Per cui 08_H è l'indirizzo per scrivere o leggere dati e 09_H è l'indirizzo per inviare parole di modo o parole comandi o per leggere la parola di stato.

Il clock di trasmissione (al piedino T_{XC}) e quello di ricezione (al piedino R_{XC}) sono realizzati mediante un circuito generatore di clock a 2.5 Mhz che passa attraverso l'integrato 7493. quest'integrato è un contatore a quattro bit. I piedini $R_{0(1)}$ e $R_{0(2)}$, se entrambi alti, inibiscono il conteggio ponendo le uscite Q tutte a zero, per effettuare il conteggio questi piedini vanno posti dunque a massa. Nella figura vediamo la struttura interna dell'integrato.

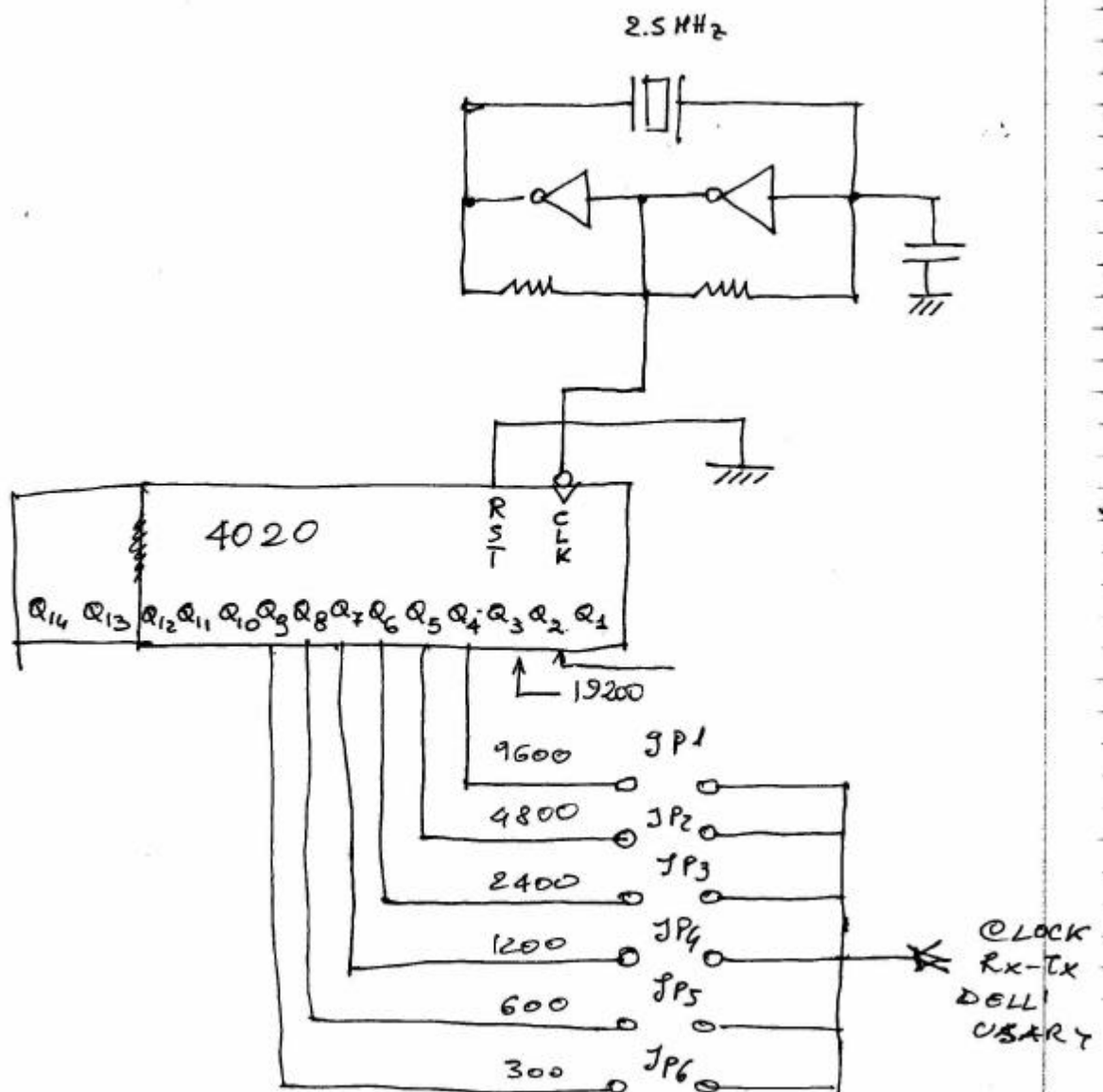


Come si può notare vi sono quattro flip flop di tipo JK separati funzionalmente per cui l'ingresso A fa da clock soltanto per il primo flip flop, mentre l'ingresso B fa da

clock per il secondo flip flop che è però, collegato in cascata con gli ultimi due flip flop. In definitiva l'ingresso B fa da clock per un gruppo di tre flip flop che costituiscono dunque un contatore asincrono modulo 8.

Portando il clock esterno all'ingresso A, e l'uscita Q_A all'ingresso B, l'integrato si comporta, perciò, come un contatore modulo 16. L'uscita Q_D sarà allora un segnale con frequenza $1/16$ di quella di clock. Programmando opportunamente l'8251 possiamo dividere il baud rate ancora per 64 giungendo ad una velocità di trasmissione di circa 2400 bit/s. ($2.5 \text{ M}_{\text{HZ}}/16/64=2500000/16/64= 2441$).

Un circuito più generale per ottenere baud rate diversi, è il seguente



il clock generato dall'oscillatore al quarzo va ad un integrato 4020 che è un contatore asincrono. L'uscita Q1 darà un'onda quadra con frequenza che sarà la metà di quella di clock, Q₂ darà un'onda quadra con frequenza pari ad $\frac{1}{4}$ di quella del clock esterno e così via. Se fissiamo, ad esempio, il fattore di baud rate dell'8251 a 16 invece che a 64, ricaviamo facilmente che, collegando il ponticello JP₁, abbiamo un baud rate di circa 9600 baud. Con il ponticello JP₂ abbiamo una velocità di 4800 baud e così via.

Per programmare l'8251 dobbiamo inviare prima la parola di modo. Supponiamo, ad esempio, di voler impostare il fattore di baud rate a 64: dobbiamo allora impostare i bit D_1D_0 ad 11. Se vogliamo trasmettere dati lunghi otto bit dobbiamo porre D_3D_2 ad 11. Per abilitare la parità poniamo D_4 ad uno. Se vogliamo scegliere la parità pari poniamo D_5 ad uno. Scegliamo, ad esempio, 1 bit di stop per cui poniamo D_7D_6 a 01. otteniamo dunque la seguente parola di modo

$$01111111|_2 = 7F|_H$$

Per impostare nuovamente l'8251 occorre inviare ad esso una parola di comando in cui il bit D_6 sia ad 1, provocandone il reset.

Dopo aver impostato l'USART mediante la parola di modo, per impostarla come trasmettitore, useremo una parola di comando 01_H , con $D_0 = 1$. per cominciare la trasmissione occorre attivare $\overline{DTR}$, ciò viene fatto inviando la parola di comando 03_H che conserverà D_0 a uno (abilitazione trasmissione) e $D_1 = 1$ (viene forzato uno zero sull'uscita $\overline{DTR}$).

Occorre attendere che il modem attivi il segnale $\overline{DSR}$ e poi attivare il segnale $\overline{RTS}$. Ciò viene fatto inviando la parola di comando 21_H in modo che conserverà D_0 a uno (abilitazione trasmissione) e $D_5 = 1$ (viene forzato uno zero sull'uscita $\overline{RTS}$).

Si attende poi che il modem attivi il segnale $\overline{CTS}$ e successivamente si inviano i dati. Il listato del programma è allora il seguente

```
LD A, 7FH
```

```
OUT(09H), A; invia parola di modo al 8251
```

LD A, 01_H; invia parola di comando al 8251

OUT(09_H), A; che lo programma come trasmettitore

LD A, 03_H; invio parola per settare $\overline{DTR}$

OUT (09_H), A

LOOP IN A, (09_H); si attende che sia settato $\overline{DSR}$ che

BIT 7, A; è riportato al bit 7 della parola di stato

JP Z, LOOP; si continua a provare il bit 7

LD A, 21_H; quando diventa pari a uno si setta $\overline{RTS}$

OUT (09_H), A

LOOP1 IN A, (09_H); si attende che sia settato $\overline{CTS}$

BIT 0, A; e che l'8251 abbia il buffer vuoto

JP Z, LOOP1; situazione sintetizzata da $T_{XRDY} = 1$

LD A, XX; caricamento del dato nell'accumulatore

OUT(08_H), A; trasmissione dato

“”