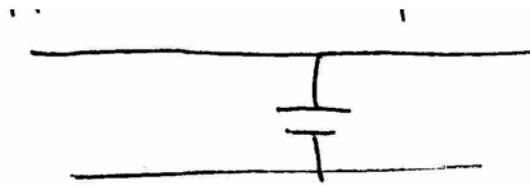


## La comunicazione seriale

Quando due sistemi a microprocessori devono comunicare fra loro ad una distanza superiore ad un paio di metri, la comunicazione parallela non è affidabile poiché vi sono accoppiamenti capacitivi tra i singoli fili conduttori che tendono a cortocircuitare le varie linee fra loro.

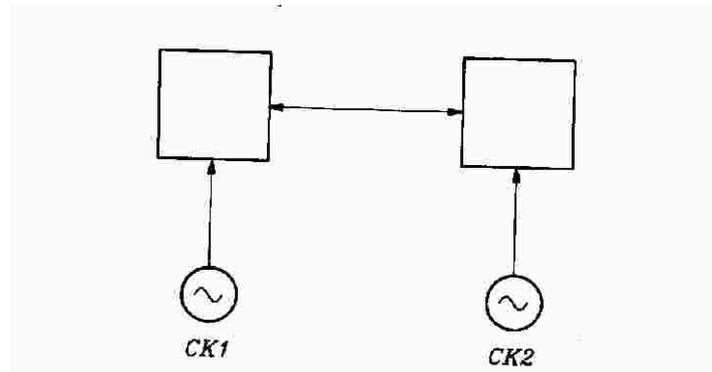


poiché gli accoppiamenti fra le varie linee sono capacitivi e le reattanze capacitive tendono a diminuire con la frequenza dei segnali, i problemi manifestati da una comunicazione parallela aumentano all'aumentare della distanza di collegamento e della frequenza dei segnali trasmessi.

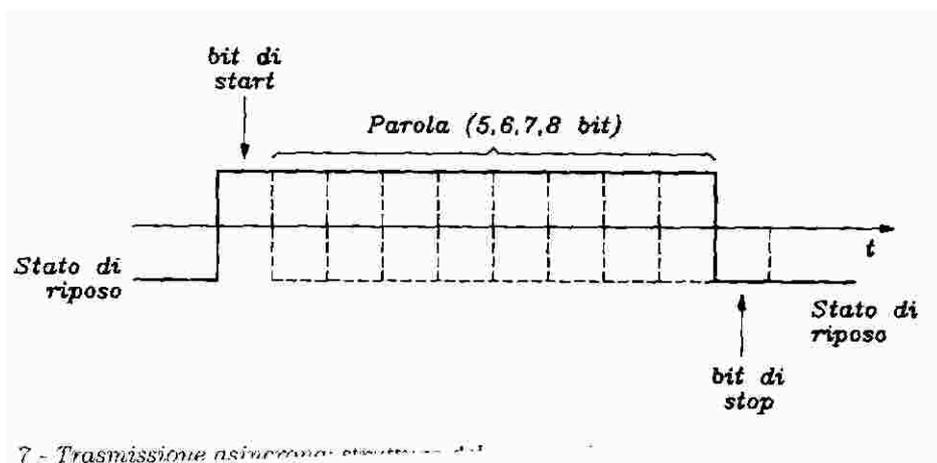
Per tali ragioni, per collegamenti a lunga distanza, viene adottata la comunicazione seriale nella quale i dati vengono trasmessi bit a bit su una sola linea. Anche in questo caso, se la distanza da coprire è superiore ai 30/40 metri, la qualità della trasmissione scade per cui occorre fare riferimento alle tecniche di modulazione.

Si hanno due tipi di trasmissione seriale: Trasmissione sincrona e asincrona

Nella trasmissione asincrona i due sistemi che stanno dialogando fra loro usano due clock diversi per cui non si può garantire che i due clock siano in fase o siano alla stessa frequenza.



IL ricevitore non ha alcuna informazione sulla temporizzazione con cui arrivano i dati. Per garantire che trasmettitore e ricevitore siano sincronizzati, le informazioni da inviare sono suddivise in piccoli blocchi di 5, 6, 7 o 8 bit che sono precedute e seguite da bit di sincronizzazione detti bit di start e di stop



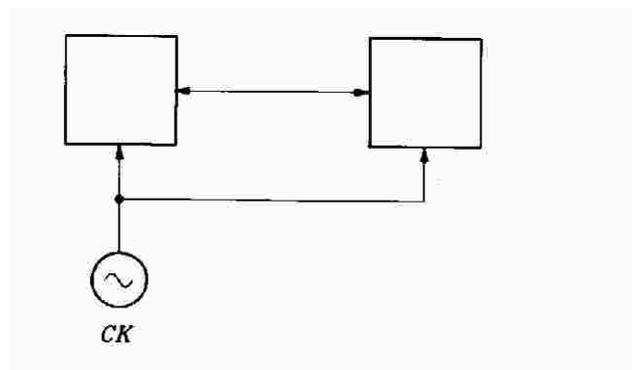
7 - Trasmissione asincrona: struttura dei dati

E' chiaro che l'aggiunta di questi bit di controllo diminuisce l'efficienza della trasmissione poiché vi è un elevato rapporto fra bit di controllo e bit che contengono informazioni. Questo tipo di trasmissione si usa allora quando i dati vanno inviati in maniera sporadica. Ogni blocco è costituito allora da

- Un bit di start che individua il passaggio dalla condizione di riposo alla condizione di trasmissione
- Il blocco dei dati che possono essere da 5 a 8 più un eventuale bit di parità

- 1, 1,5 o 2 bit di stop che indicano la fine della trasmissione.

Nella trasmissione sincrona trasmettitore e ricevitore utilizzano per la trasmissione e la ricezione lo stesso clock. Tale clock viaggia su una linea apposita (vedi circuiti C113 e C114 dell'interfaccia RS 232) oppure è estratto mediante appositi circuiti del modem dai dati ricevuti (vedi circuito C115).



Nella trasmissione sincrona il messaggio viene strutturato in frame costituiti da blocchi di dati delimitati da due campi di sincronismo (SYN). Si ha un incremento delle prestazioni perché diminuisce il rapporto fra caratteri di controllo e dati da trasmettere.

Interfaccia RS232

**FIG. 5.6** I circuiti dei protocolli fisici RS-232-C e V.24

| RS-232-C |         |                     | CCITT V.24 |         |                     |
|----------|---------|---------------------|------------|---------|---------------------|
| Codice   | Piedino | Circuito            | Codice     | Piedino | Circuito            |
| AA       | 1       | Protective ground   | 101        | 1       | Protective ground   |
| AB       | 7       | Signal ground       | 102        | 7       | Signal ground       |
| BA       | 2       | Transmitted data    | 103        | 2       | Transmitted data    |
| BB       | 3       | Received data       | 104        | 3       | Received data       |
| CA       | 4       | Request to send     | 105        | 4       | Request to send     |
| CB       | 5       | Clear to send       | 106        | 5       | Ready for sending   |
| CC       | 6       | Data set ready      | 107        | 6       | Data set ready      |
| CD       | 20      | Data terminal ready | 108        | 20      | Data terminal ready |
| CE       | 22      | Ring indicator      | 125        | 22      | Calling indicator   |
| CF       | 8       | Line detector       | 109        | 8       | Line detector       |
| CG       | 21      | Signal quality      | 110        | 21      | Signal quality      |
| CH       | 23      | DTE rate            | 111        | 23      | DTE rate            |
| CI       | 18      | DCE rate            | 112        | 18      | DCE rate            |
|          |         |                     | 136        |         | New signal          |
|          |         |                     | 126        | 11      | Select frequency    |
| DA       | 24      | DTE timing          | 113        | 24      | DTE timing          |
| DB       | 15      | DCE timing          | 114        | 15      | DCE timing          |
| DD       | 17      | Receiver timing     | 115        | 17      | Receiver timing     |
| SBA      | 14      | Transmitted data    | 118        | 14      | Transmitted data    |
| SBB      | 16      | Received data       | 119        | 16      | Received data       |
| SCA      | 19      | Request to send     | 120        | 19      | Line signal         |
| SCB      | 13      | Clear to send       | 121        | 13      | Channel ready       |
| SCF      | 12      | Line detector       | 122        | 12      | Line detector       |

L'interfaccia più comune fra il computer (DTE) ed il modem (DCE) è la RS232. Questo standard è stato sviluppato dall'ente americano EIA (Electronic Industries Associations) e ripreso dallo standard V24 dell'europeo CCITT (Comitato Consultivo Internazionale Telegrafia e Telefonia). Nella tabella riportata sopra abbiamo l'elenco dei piedini dell'interfaccia secondo la denominazione dell'EIA e del CCITT. Le numerazioni dei segnali presuppongono che si stia prendendo in considerazione un connettore a 25 pin. I vari segnali si possono classificare nei seguenti gruppi

#### Circuiti di massa

*Circuito C101 (PG protective ground) o AA (piedino 1)*

E' la terra di protezione o protective round che va collegato elettricamente al telaio dell'apparecchio

*circuito C102 (SG signal ground) o AB (pin 7)*

E' la massa di riferimento per tutti i segnali dell'interfaccia. All'interno del modem i due circuiti possono essere collegati

Circuiti per il trasporto dei dati

*Circuito C103 (TD Transmitted data) o BA (piedino 2)*

è la linea attraverso la quale i dati vengono inviati serialmente dal DTE al DCE (modem). In assenza di dati da trasmettere tale linea rimane al livello di riposo che è la condizione logica di 1.

*Circuito C104 o (RD Received Data) BB (piedino 3)*

È la linea attraverso la quale i dati vengono inviati dal modem al computer serialmente. In assenza di dati tale linea può essere forzata al valore logico 1 o zero.

Esistono due linee secondarie per la trasmissione dei dati:

- *Circuito C118 (STD secondary transmitted data) SBA (piedino 14)*
- *Circuito C119 (SRD secondary received data) SBB (piedino 16)*

Questi due segnali hanno la stessa funzione dei due circuiti precedenti, essi servono a creare un secondo canale di comunicazione. Questo canale si può utilizzare per svolgere funzioni di controllo del collegamento oppure come secondo canale di trasmissione dati per i modem che utilizzano un canale primario di comunicazione ed un canale secondario a bassa velocità.

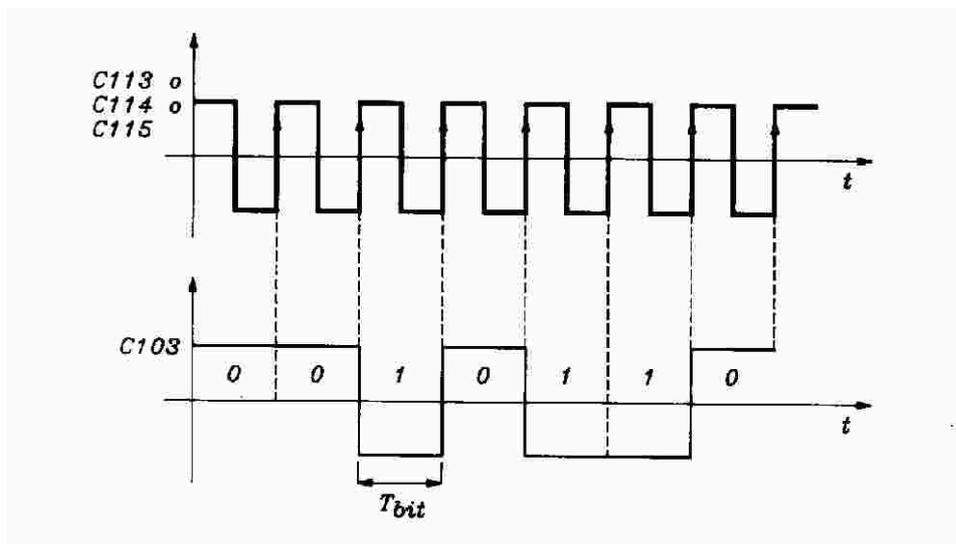
## Circuiti di temporizzazione

### *Circuito C113 (DTE timing o ETC external clock) o DA (piedino 24)*

Questa linea viene usata quando si ha un collegamento sincrono fra DTE e DCE per cui essi devono utilizzare lo stesso clock per la scansione temporale dei dati trasmessi e ricevuti. In questo caso è il DTE che trasmette il segnale di clock al DCE.

### *Circuito C114 (TC transmitted clock o DCE timing) DB (piedino 15)*

In questo caso è il DCE che invia il segnale di clock al DTE. Il clock è costituito da un'onda quadra con duty cycle del 50%. La transizione dal livello alto al livello basso del clock coincide con il centro dell'intervallo di tempo  $T_{bit}$  in cui viene trasmesso il bit.



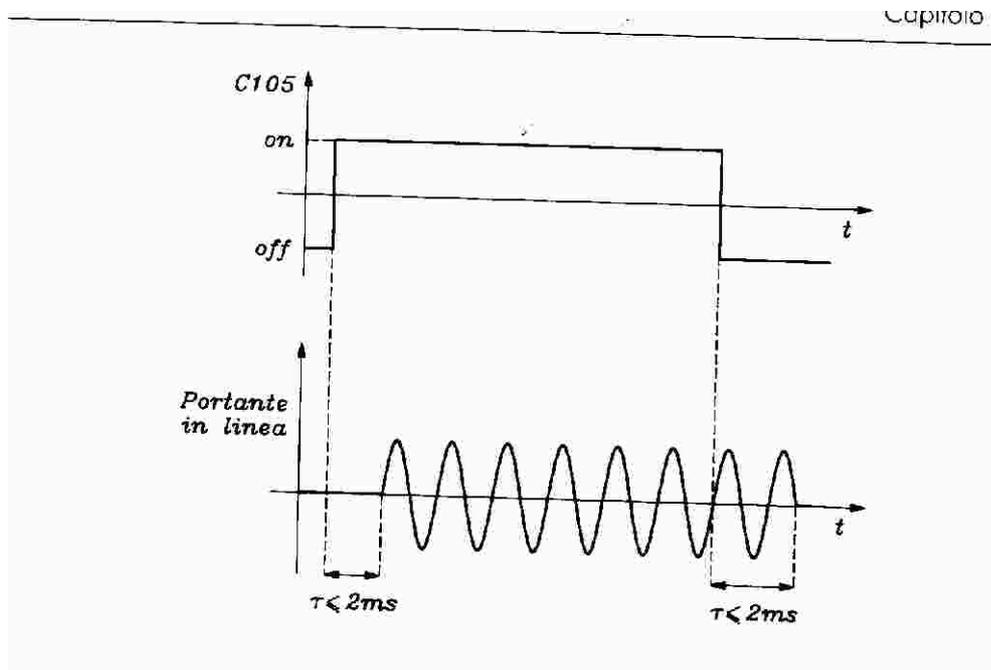
### *Circuito C115 (Received clock RC o Receiver Timing) o DD (piedino 17)*

E' un altro clock che il DCE può usare alternativamente per sincronizzare il DTE. In questo caso tale clock (che ha le stesse temporizzazioni del clock precedente) viene dato che si stanno inviando al DTE mediante dispositivi interni al modem.

## Circuiti di controllo

### *Circuito C105 (RTS Request To Send) o CA (piedino 4)*

Questo segnale viene inviato dal DTE al DCE ed impone al modem di prepararsi a trasmettere sulla linea i dati che il DTE gli invia. Il DCE si deve preparare ad inviare i dati inviandola portante sulla linea in un tempo inferiore ai 2 ms. quando il DTE riporta il segnale RTS nella condizione di riposo, il modem interrompe la trasmissione della portante in meno di 2 ms.



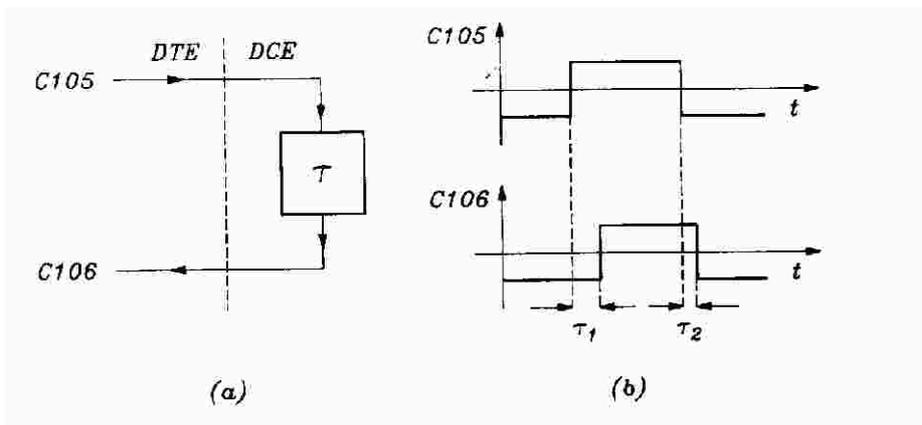
In condizione di comunicazione full duplex il segnale RTS può essere posto sempre a livello attivo. In condizione di half duplex, quando il segnale è attivo il modem è in trasmissione sulla linea, mentre quando RTS va a riposo il modem si pone in ricezione della linea.

### *Circuito 106 (CTS Clear To Send) o CB (piedino 5)*

Con questo segnale il DCE indica al DTE che è pronto a trasmettere dati sulla linea telefonica. Il CTS può essere impostato come risposta a RTS oppure essere

bloccato sempre in condizione attiva nel caso di collegamento dedicato in cui vi è una connessione permanente con il terminale remoto. Nel caso in cui il CTS è impostato come risposta al RTS, si può, agendo sul hardware del modem, impostare un ritardo per consentire al modem in ricezione di prepararsi a ricevere dati.

Questo tempo di ritardo varia da pochi millisecondi alle centinaia di millisecondi e dipende da una serie di condizioni: ad esempio esso è tanto più lungo quanto più alta è la velocità di trasmissione, infatti maggiore diventa il tempo necessario a sincronizzare i due modem; se ad esempio si è in modalità half duplex, occorre tener conto del tempo necessario ad invertire la direzione in cui vengono trasmessi i dati (tempo di turn-around)



#### *Circuito C107 (DSR Data Set Ready) o CC (piedino 6)*

Questo segnale da parte del modem indica al DTE che esso è connesso alla linea telefonica e che pertanto esso è in grado di scambiare informazioni con il DTE. Esso è in risposta al segnale DTR (vedi avanti). Nel caso di modem in banda base il DSR viene attivato al momento dell'accensione dl modem e non in risposta al DTR.

*Circuito 108 (piedino 20). Esso può avere due significati*

- *C108/1 (CDSTL Connect Data Set To Line)*

Questo segnale obbliga il modem a connettersi alla line telefonica indipendentemente dallo stato d'altri circuiti. IL DCE risponde a questo segnale mediante il segnale DSR.

- *C108/2 (DTR Data Terminal Ready)*

È un'evoluzione del circuito precedente . La differenza consiste nel fatto che il precedente circuito costringeva il modem a collegarsi alla linea mentre in questo caso il 108/2 è solo la prima condizione che si deve avere perché il modem si connetta alla line, la seconda condizione che si deve verificare è che si abbia la commutazione della linea da telefono a dati.

*Circuito C109 (Data Carrier Detected DCD o Line Detector) o CF (piedino 8) è usato da un modem in ricezione per indicare al terminale a cui è collegato che ha rilevato una portante sulla linea. Il CCITT definisce una soglia minima che deve avere questo segnale in linea per essere interpretato come portante. Per evitare che picchi di rumore siano interpretati erroneamente come presenza della portante il segnale DCD viene attivato con un ritardo che inizialmente è di 300/400 ms e a regime assume il valore di 10/20 ms.*

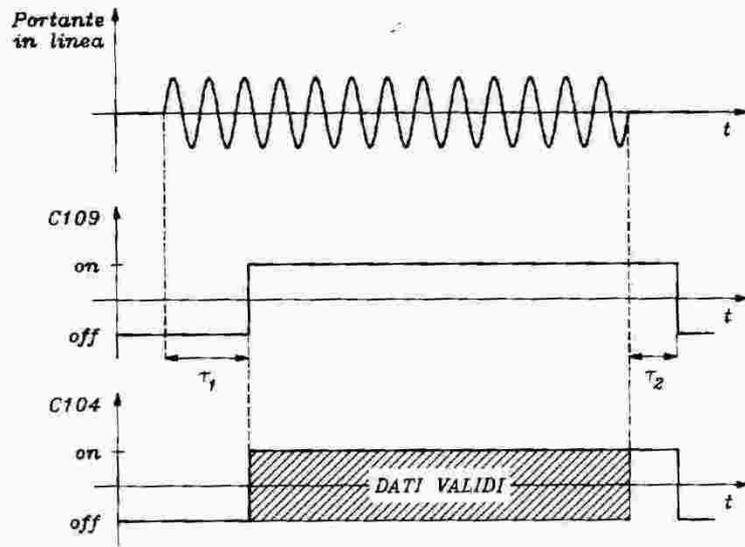


Fig. 6.34 - TempORIZZAZIONE del segnale C109.

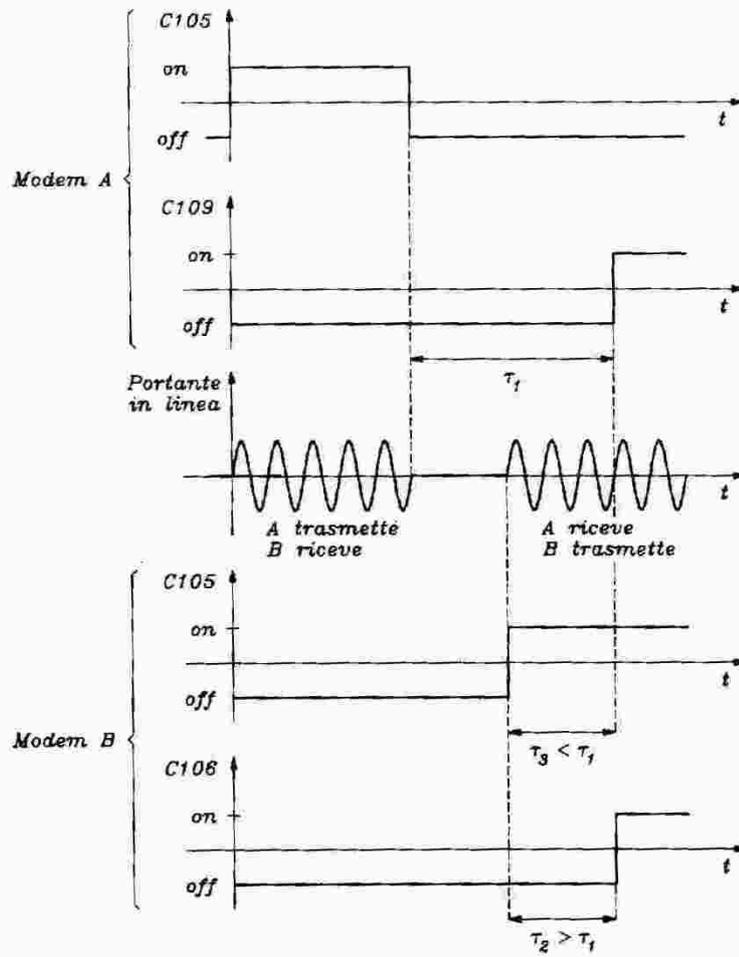


Fig. 6.35 - Segnali di controllo nella modalità half-duplex:  $\tau_1$  è il tempo per cui il C109 è ancora bloccato in off, dopo il termine della trasmissione del modem A;  $\tau_2$  è il ritardo imposto alla risposta del C106 (deve essere  $\tau_2 > \tau_1$ );  $\tau_3$  è il tempo che intercorre tra l'arrivo della portante in linea e l'attivazione del C109 deve essere  $\tau_3 < \tau_1$ ).

Per il canale supervisor esistono i segnali duplicati

- *C120 SRTS Secondary Request To Send*
- *C121 SCTS Secondary Clear To Send*
- *C122 SDCD Secondary Data Carrier Detected*

*Circuito C110 (SQ Signal Quality) CG (piedino 21)*

Circuito scarsamente utilizzato che viene utilizzato dal DCE per indicare al DTE che i dati che il modem ha inviato al terminale hanno un'elevata probabilità di essere errati

*Circuito C111 DSRS Data Signal Rate Selector (selezione della velocità dal DTE al DCE) e circuito C112 DSRS dal DCE al DTE.* Servono per modem in grado di lavorare a velocità diverse per adattare la loro velocità alle condizioni della linea. Nel caso del C111 è il terminale a costringere il modem ad operare ad una velocità o ad un'inferiore. Nel caso del circuito C112 è il modem ad indicare al DTE a quale velocità sta operando.

*Circuito C125 (RI Ring Indicator) o CE (piedino 25)*

Mediante questo circuito il modem avverte che ha ricevuto una chiamata sulla linea telefonica.

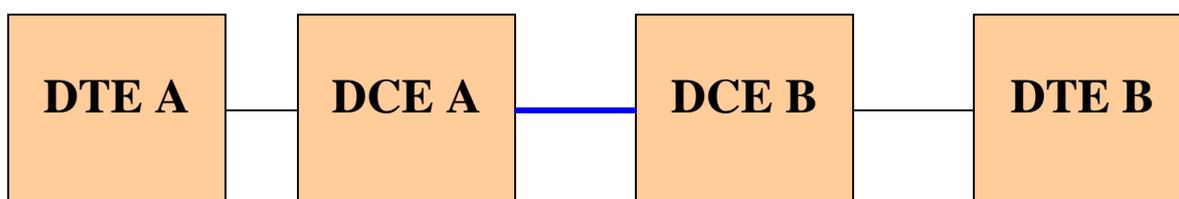
## UART e USART

I dispositivi che realizzano la trasmissione asincrona sono detti UART (Universal Asynchronous Received/Transmitter) mentre i dispositivi che realizzano sia la trasmissione asincrona che sincrona sono detti USART (Universal Synchronous Asynchronous Received/Transmitter). Entrambi questi dispositivi possono operare la conversione parallelo/serie in trasmissione e serie/parallelo in ricezione. Nel caso

della comunicazione asincrona, questi dispositivi hanno la capacità di aggiungere ai caratteri da trasmettere i relativi bit di START, STOP e parità. In ricezione, eliminano i bit di START e di STOP e possono controllare se la parità è corretta o meno. E' possibile la rilevazione automatica di altri tipi di errore: l'errore di trama (FRAMING ERROR) e l'errore di sovrapposizione (OVERRUN ERROR). Un errore di trama si ha quando, alla fine di un carattere iniziato con un regolare bit di start, non vengono rilevati i bit di stop, indice di un possibile errore di trasmissione. Si ha un errore di sovrapposizione, invece, quando il microprocessore non riesce a leggere il carattere ricevuto memorizzato in un apposito registro dell'UART o USART, prima che arrivi il bit di START relativo al carattere successivo.

La comunicazione fra due sistemi tramite modem

Consideriamo il seguente schema



Ricordiamo che con DTE (Data Terminal Equipment) si individua il computer o sistema a microprocessore, mentre con DCE (Data Circuit Equipment) si individua il modem.

Supponiamo inizialmente che i due computer siano connessi mediante linea dedicata. In tal caso il dialogo fra i due computer avviene nel seguente modo, supponendo che il DTE A voglia comunicare con il DTE B.

1. quando il DTE A vuole effettuare la trasmissione, inoltra verso il modem (DCE A) la Richiesta di Trasmissione (RTS - Request to Send – Circuito 105 dello standard RS232)
2. Il modem risponde attivando il segnale Pronto a trasmettere (CLS – Clear To Send – Circuito 106 della RS232) ed invia sulla linea la portante che verrà modulata successivamente per trasmettere i dati
3. il modem B (DCE B) avverte la presenza della portante sulla linea ed attiva verso il DTE B, il segnale Rivelatore della portante del canale dati (DCD – Data Carrier Detect – circuito 109 RS232) causando l’attivazione del circuito 104 RD Received Data su cui verranno inviati i dati ricevuti
4. Al termine della trasmissione la linea corrispondente al circuito 103 dal DTE A al DCE A (Transmitted Data) va a riposo,
5. il DTE A manda in OFF il segnale RTS
6. il DCE A manda a riposo il segnale CTS, la portante viene soppressa
7. il DCE B non rileva più la portante e manda a riposo il Rilevatore di portante (DCD)
8. la linea di ricezione dati (circuito 104 RD Received Data) va anch’esso a riposo

supponiamo ora che il collegamento fra i due computer non preveda una linea dedicata ma una linea commutata. A questo punto occorre preliminarmente osservare che, su linea commutata, occorre dapprima commutare la linea telefonica dall’apparecchio

telefonico al modem. Ciò può avvenire mediante intervento di un operatore o automaticamente mediante circuito apposito incorporato nel modem.

Il dialogo fra DTE e DCE è il seguente

1. il DTE invia al modem il segnale Terminale Dati Pronto (DTR Data Terminal Ready Circuito 108) che forza il modem a connettersi alla linea telefonica
2. a questo punto il modem invia al DTE un segnale di modem pronto (DSR Data Set Ready circuito C107)
3. quando il DTE A vuole effettuare la trasmissione, inoltra verso il modem (DCE A) la Richiesta di Trasmissione (RTS - Request to Send – Circuito 105 dello standard RS232)
9. Il modem risponde attivando il segnale Pronto a trasmettere (CLS – Clear To Send – Circuito 106 della RS232) ed invia sulla linea la portante che verrà modulata successivamente per trasmettere i dati
10. il modem B (DCE B) avverte la presenza della portante sulla linea ed attiva verso il DTE B, il segnale Rivelatore della portante del canale dati (DCD – Data Carrier Detect – circuito 109 RS232) causando l'attivazione del circuito 104 RD Received Data su cui verranno inviati i dati ricevuti
11. Al termine della trasmissione la linea corrispondente al circuito 103 dal DTE A al DCE A (Transmitted Data) va a riposo,
12. il DTE A manda in OFF il segnale RTS
13. il DCE A manda a riposo il segnale CTS, la portante viene soppressa
14. il DTE manda a riposo la linea DTR Data Terminal Ready

15.il modem disattiva il segnale DSR Data Set Ready

16.il DCE B non rileva più la portante e manda a riposo il Rilevatore di portante (DCD)

17.la linea di ricezione dati (circuito 104 RD Received Data) va anch'esso a riposo

### Interfaccia 8251

L'8251 è una USART che controlla la ricezione/trasmissione e che può essere configurata via software per lo scambio di dati con diversi formati:

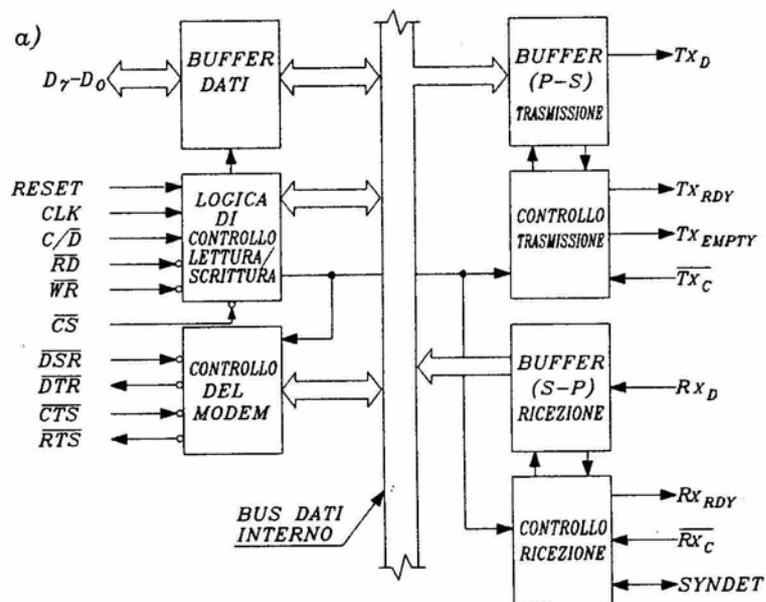
- i caratteri possono essere lunghi da 5 a 8 bit
- la parità può essere pari, dispari o non esserci affatto
- ogni carattere è delimitato da un bit di START ed 1, 1 ½ o 2 bit di STOP.

Questo dispositivo possiede, inoltre, un meccanismo di rilevazione automatica degli errori di parità, trama e sovrapposizione.

Nella figura seguente compare la piedinatura del chip e la struttura interna dell'interfaccia. Come si può vedere, questo dispositivo è diviso in quattro sezioni:

- interfaccia con il microprocessore
- ricezione
- trasmissione
- controllo del modem

l'interfaccia con il microprocessore è costituita da un bus bidirezionale ad 8 bit sul quale viaggiano i dati, i comandi e le parole di stato. Questo bus è associato ad una



b)

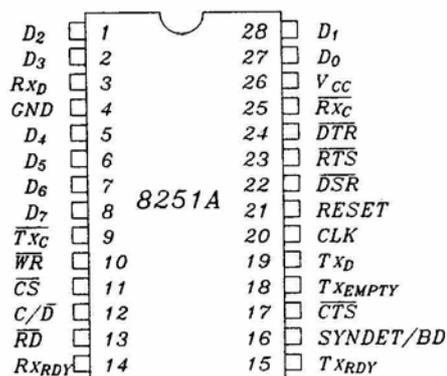


Fig. 10.11 - Interfaccia seriale INTEL 8251A,  
a) architettura  
b) piedinatura

logica di controllo che ci dice se l'informazione trattata in un certo momento è un dato o un controllo, attraverso la linea  $C/\bar{D}$  e, nel caso che sia un dato, se esso sia da

leggere o scrivere mediante le linee  $\overline{RD}$  e  $\overline{WR}$ . Inoltre è presente un ingresso di abilitazione del chip  $\overline{CS}$ .

| $C/D$ | $\overline{RD}$ | $\overline{WR}$ | $\overline{CS}$ |                                                                           |
|-------|-----------------|-----------------|-----------------|---------------------------------------------------------------------------|
| 0     | 0               | 1               | 0               | Dato dal 8251 al microprocessore                                          |
| 0     | 1               | 0               | 0               | Dato dal microprocessore al 8251                                          |
| 1     | 0               | 1               | 0               | Stato del 8251 letto dal microprocessore                                  |
| 1     | 1               | 0               | 0               | Scrittura della parola di controllo da parte del microprocessore sul 8251 |
| X     | 1               | 1               | 0               | Uscite in three-state                                                     |
| X     | X               | X               | 1               | Uscite in three-state                                                     |

La sezione relativa alla ricezione legge le sequenze di dati entranti dalla linea  $RxD$  e li converte in forma parallela. Quando una condizione di SPACE (zero logico) viene rilevata dalla linea, viene azionato un contatore. Quando esso giunge a metà unità di conteggio (un'unità di conteggio equivale al reciproco del baud rate o velocità di trasmissione) viene di nuovo testato il livello logico della linea. Se ad esempio, il baud rate è di 2400 bit al secondo, un'unità di conteggio equivale a  $1 \text{ secondo}/2400 = 410$  microsecondi per cui la linea viene testata dopo 205 microsecondi dalla prima rilevazione dello space. Se all'istante del nuovo test la linea è ancora a livello di SPACE, allora il 8251 capisce che è stato rilevato un bit di START. La linea d'ingresso verrà testata ad ogni successiva unità di conteggio fino al completamento del carattere e

raggiungimento del bit di STOP. Terminata la ricezione del carattere, questo viene trasferito nel registro di ricezione dati.

Durante la ricezione l'8251 rileva automaticamente eventuali errori di parità, trama o sovrapposizione e li segnala settando il relativo flag del registro di stato. Successivamente l'8251 porta a livello logico alto la linea  $R_{XRDY}$  per avvertire il microprocessore che un carattere valido è disponibile nel registro di ricezione dei dati. Questa linea viene automaticamente resettata quando il microprocessore legge il contenuto del registro.

Siccome il PCI 8251 non possiede un generatore interno di baud rate, attraverso la linea  $R_{Xc}$  viene fornito dall'esterno il segnale di clock usato come base per il baud rate. Esso può essere diviso all'interno dell'8251 per 16 o 64 al fine di poter variare la velocità di ricezione.

La sezione di trasmissione esegue il compito opposto a quello di ricezione e cioè riceve un carattere parallelo dal bus dati del microprocessore, gli aggiunge il bit di START, l'eventuale bit di parità, il corretto numero di bit di STOP, ed inserisce il tutto nel registro di trasmissione dati. Il contenuto di tale registro verrà inviato serialmente (bit a bit) sulla linea  $T_{XD}$  alla velocità stabilita dal baud rate.

Quando il registro di trasmissione dati è vuoto, la linea  $T_{XRDY}$  va ad 1 per segnalare al microprocessore che un altro carattere è stato trasmesso e sarà resettato quando un altro dato da trasmettere verrà scritto dal microprocessore nel registro di trasmissione dati.

I dati vengono trasmessi ad una velocità di baud rate basata sul segnale esterno di clock che entra in  $T_{XC}$ .

Di solito le velocità di trasmissione e ricezione sono uguali per cui esse vengono prodotte dallo stesso generatore di baud rate.

La sezione di controllo del modem non è altro che la sezione di controllo handshake. Essa colloquia con l'eventuale modem inserito per permettere la comunicazione a distanza. Dall'analisi dell'interfaccia RS232 si nota come per comandare un modem occorrono più linee delle quattro presenti in questa sezione, ma queste quattro, necessarie a qualsiasi tipo di protocollo, sono quelle che interessano direttamente la comunicazione verso il microprocessore. Le altre possono essere controllate da dei driver esterni al PCI che servono ad adattare il meccanismo di comunicazione al tipo di protocollo utilizzato.

Le operazioni sul PCI 8251 vengono realizzate attraverso la programmazione di tre registri interni di controllo

- registro dei modi
- registro dei comandi
- registro di stato.

Il registro dei modi controlla il modo di operare del trasmettitore e del ricevitore

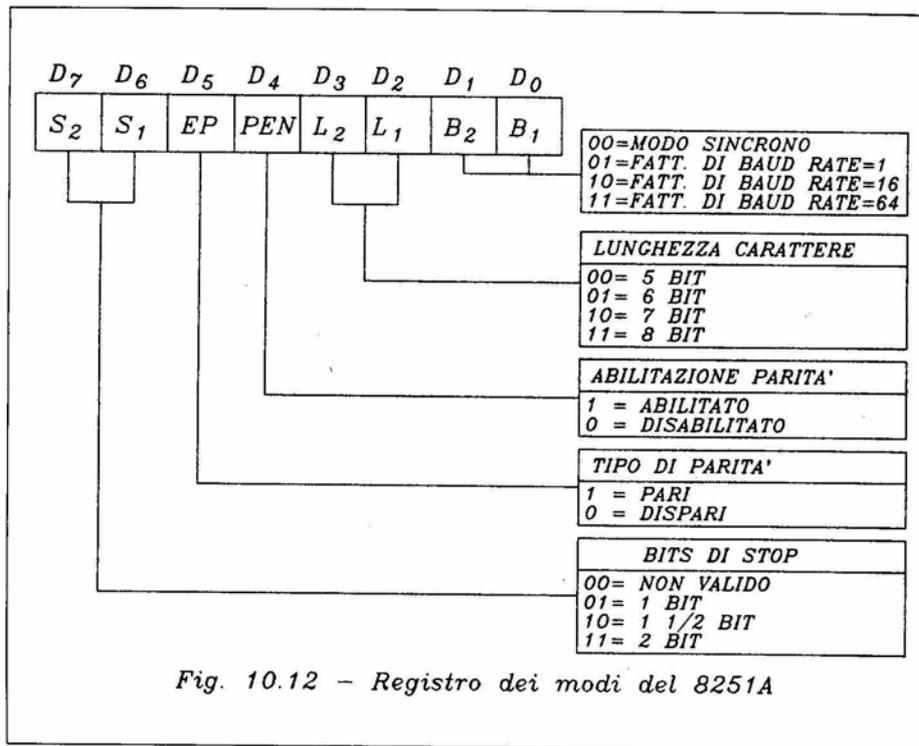
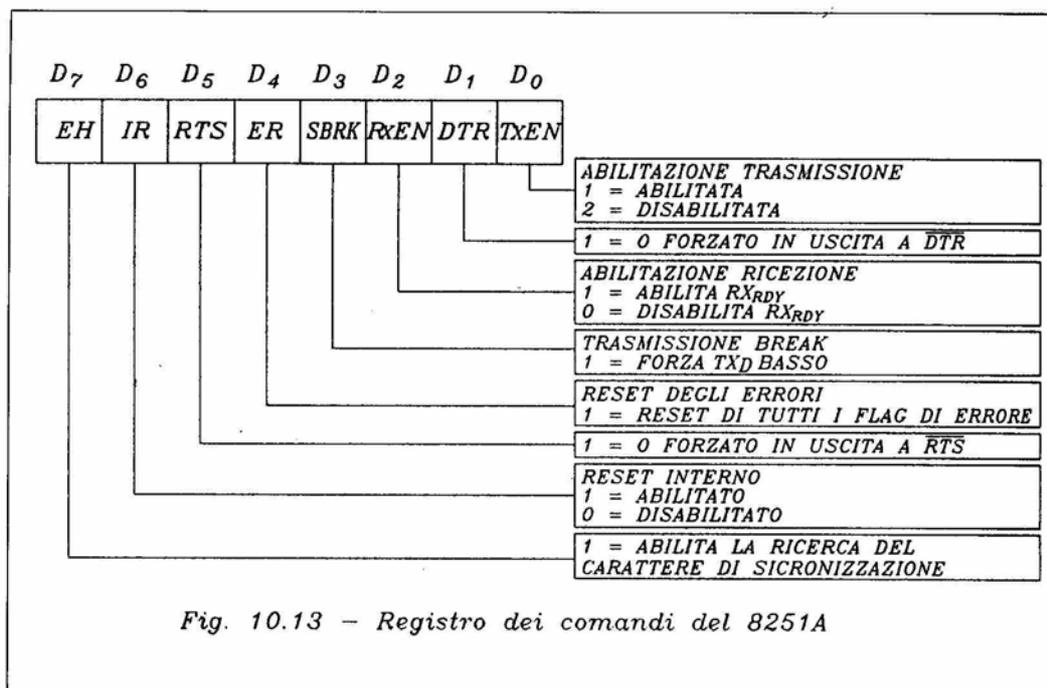


Fig. 10.12 - Registro dei modi del 8251A

i due bit meno significativi B<sub>1</sub> e B<sub>2</sub> stabiliscono se la trasmissione è di tipo sincrono o asincrono e a quale velocità. Il terzo ed il quarto bit L<sub>1</sub> ed L<sub>2</sub> stabiliscono la lunghezza del carattere. Il quinto e sesto bit PEN ed EP determinano se ci deve essere controllo di parità ed eventualmente di che tipo. Gli ultimi due bit S<sub>1</sub> ed S<sub>2</sub> stabiliscono, nel caso in cui il dispositivo stia lavorando in maniera asincrona, quanti sono i bit di stop.

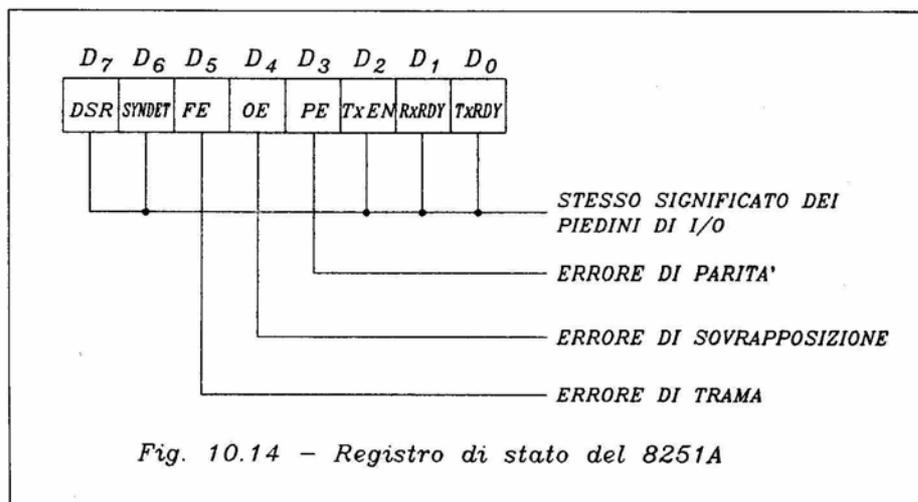
Una volta che si sia configurato il formato della comunicazione, le operazioni del PCI vengono controllate dal microprocessore attraverso il registro dei comandi.



le funzioni essenziali di questo registro sono l'abilitazione alla trasmissione e ricezione attraverso il settaggio dei bit T<sub>XEN</sub> e R<sub>XEN</sub>. In sostanza questi bit abilitano le linee R<sub>XRDY</sub> e T<sub>XRDY</sub>.

Il settaggio del bit IR (Internal Reset) da parte del microprocessore, provoca l'inizializzazione software del PCI. Il bit EH, quando è ad 1, abilita la ricerca del carattere di sincronizzazione nel caso di comunicazione sincrona.

Il bit ER (Error Reset), invece, viene usato per resettare i bit relativi alla rilevazione degli errori del registro di stato costituito dai flag PE (Parità Error), OE (Overrun Error) e FE (framing Error). Sarà compito del microprocessore controllare ciclicamente questi bit, in modo da rilevare un eventuale errore ed agire di conseguenza con una routine che chieda la ritrasmissione del dato dopo aver resettato i flag di errore attraverso il bit ER del registro dei comandi.



gli altri bit del registro di stato hanno lo stesso significato degli omonimi piedini dell'usart. Il bit  $D_7$  ad 1 indica che è stato attivato il segnale DSR, il bit  $D_0$  ad 1 indica che è stato attivato il bit CTS e che l'8251 ha il buffer vuoto e possiamo quindi trasmettere e così via.

Gli integrati MC1488 e MC1489

Un 8251 presenta livelli logici TTL mentre un'interfaccia RS232 prevede livelli logici diversi. Il livello del segnale RS232 può raggiungere +25 volt, mentre il livello normale è di +12 volt.

Per i dati si assegnano i seguenti livelli:

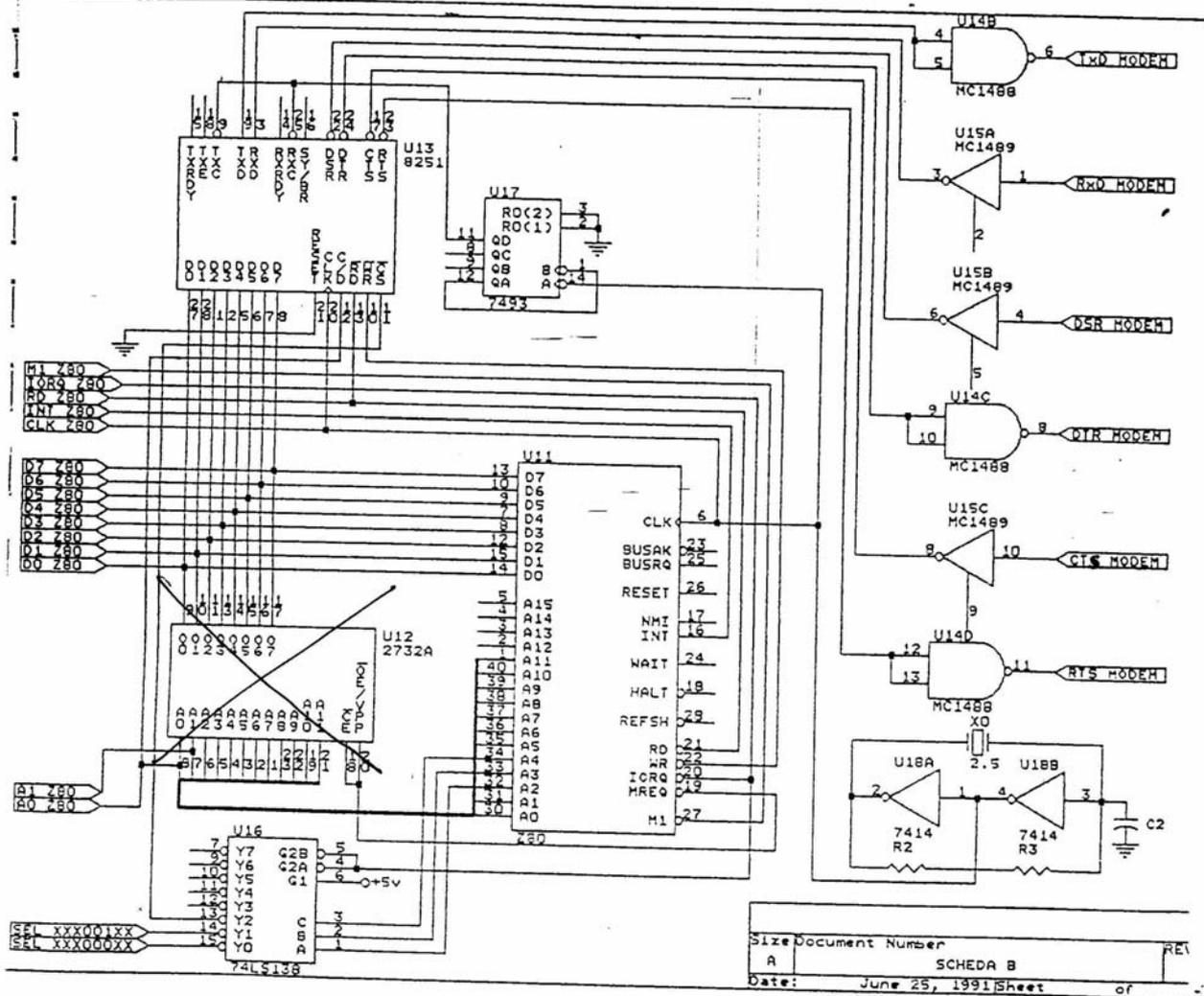
- -12 volt (con un limite massimo di -3 volt) per il livello logico 1 o MARK
- +12 volt (con un limite minimo di +3 volt) per il livello logico 0 detto SPACE

Per i segnali di controllo i livelli sono

- +12 volt quando il segnale è attivo o in condizione di ON
- -12 volt quando il segnale di controllo è inattivo o in condizione di OFF

Gli integrati MC1488 e MC1489 permettono di adattare i livelli TTL dell'USART con quelli RS232. In particolare l'MC1488 contiene quattro drivers di linea (3 nand e 1 not) che con un ingresso TTL, forniscono in uscita un livello RS232. L'integrato MC1489 contiene quattro not che con un ingresso RS232 forniscono in uscita il corrispondente livello TTL. Vediamo in figura un esempio di interfacciamento dell'8251 con lo Z80

ESEMPIO DI INTERFACCIAAMENTO  
DELL' 8251 CON LO Z80



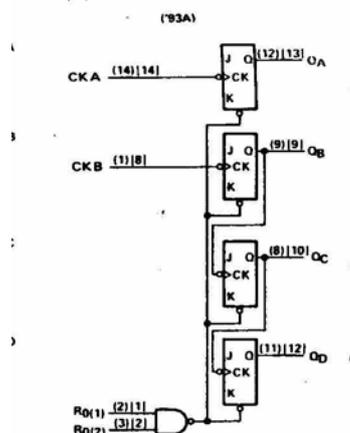
Come si può notare dalla figura, il Chip select dell'8251 è ricavato dall'uscita Y<sub>2</sub> del decoder mentre il segnale  $C/\bar{D}$  è ricavato direttamente dal bit A<sub>0</sub> del bus indirizzi. Il

bit  $A_1$  non viene utilizzato, così come i bit  $A_7$ ,  $A_6$  e  $A_5$  per cui si avrà che l'8251 presenterà i seguenti indirizzi

| $A_7$ | $A_6$ | $A_5$ | $A_4$ | $A_3$ | $A_2$ | $A_1$ | $A_0$ |                 |
|-------|-------|-------|-------|-------|-------|-------|-------|-----------------|
| X     | X     | X     | 1     | 0     | 0     | X     | 0     | 08 <sub>H</sub> |
| X     | X     | X     | 1     | 0     | 0     | X     | 1     | 09 <sub>H</sub> |

Per cui 08<sub>H</sub> è l'indirizzo per scrivere o leggere dati e 09<sub>H</sub> è l'indirizzo per inviare parole di modo o parole comandi o per leggere la parola di stato.

Il clock di trasmissione (al piedino T<sub>XC</sub>) e quello di ricezione (al piedino R<sub>XC</sub>) sono realizzati mediante un circuito generatore di clock a 2.5 Mhz che passa attraverso l'integrato 7493. quest'integrato è un contatore a quattro bit. I piedini R<sub>0(1)</sub> e R<sub>0(2)</sub>, se entrambi alti, inibiscono il conteggio ponendo le uscite Q tutte a zero, per effettuare il conteggio questi piedini vanno posti dunque a massa. Nella figura vediamo la struttura interna dell'integrato.

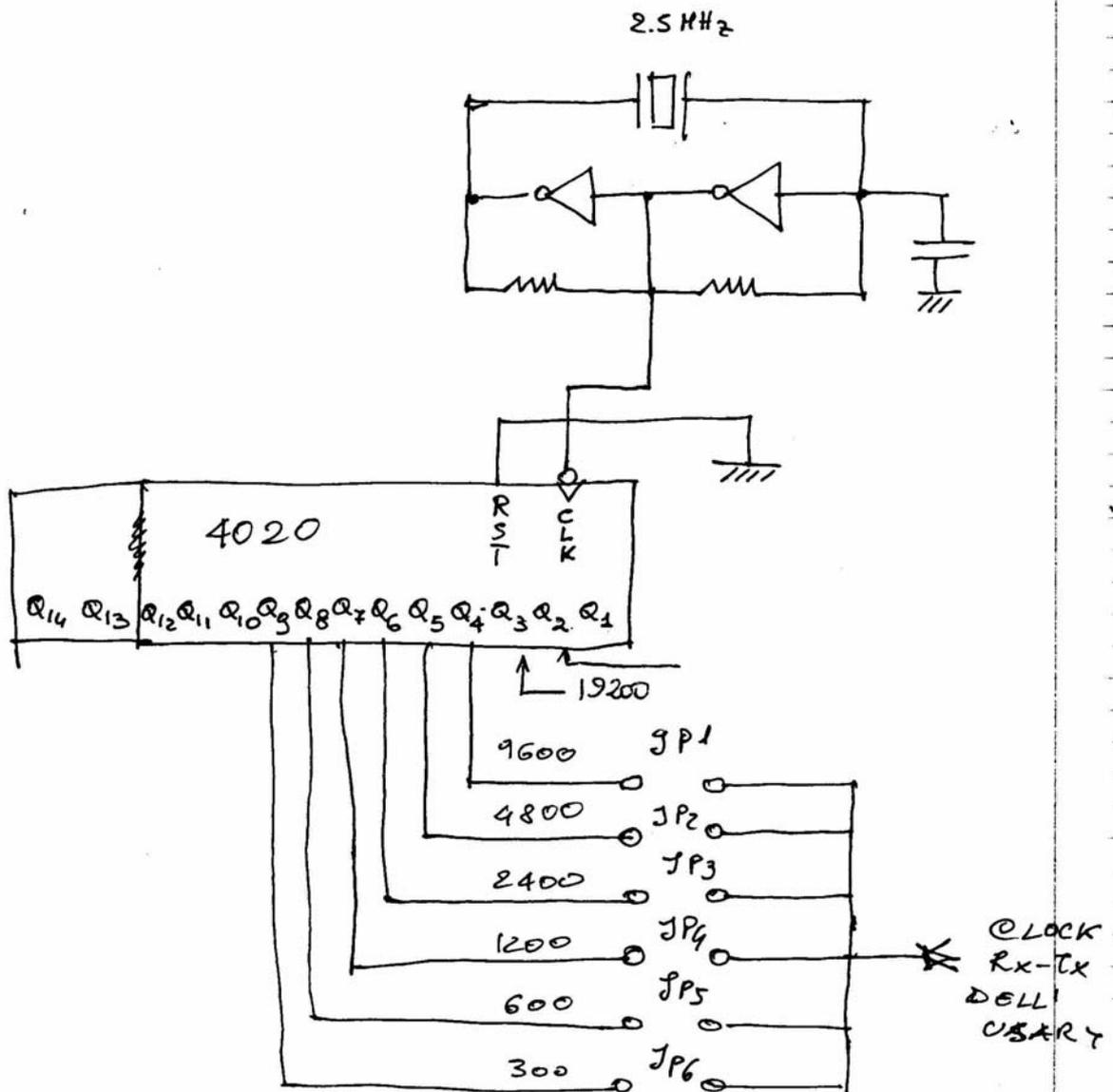


Come si può notare vi sono quattro flip flop di tipo JK separati funzionalmente per cui l'ingresso A fa da clock soltanto per il primo flip flop, mentre l'ingresso B fa da

clock per il secondo flip flop che è però, collegato in cascata con gli ultimi due flip flop. In definitiva l'ingresso B fa da clock per un gruppo di tre flip flop che costituiscono dunque un contatore asincrono modulo 8.

Portando il clock esterno all'ingresso A, e l'uscita  $Q_A$  all'ingresso B, l'integrato si comporta, perciò, come un contatore modulo 16. L'uscita  $Q_D$  sarà allora un segnale con frequenza  $1/16$  di quella di clock. Programmando opportunamente l'8251 possiamo dividere il baud rate ancora per 64 giungendo ad una velocità di trasmissione di circa 2400 bit/s. ( $2.5 \text{ M}_{\text{HZ}}/16/64=2500000/16/64= 2441$ ).

Un circuito più generale per ottenere baud rate diversi, è il seguente



il clock generato dall'oscillatore al quarzo va ad un integrato 4020 che è un contatore asincrono. L'uscita Q1 darà un'onda quadra con frequenza che sarà la metà di quella di clock, Q<sub>2</sub> darà un'onda quadra con frequenza pari ad 1/4 di quella del clock esterno e così via. Se fissiamo, ad esempio, il fattore di baud arte dell'8251 a 16 invece che a 64, ricaviamo facilmente che, collegando il ponticello JP<sub>1</sub>, abbiamo un baud rate di circa 9600 baud. Con il ponticello JP<sub>2</sub> abbiamo una velocità di 4800 baud e così via.

Per programmare l'8251 dobbiamo inviare prima la parola di modo. Supponiamo, ad esempio, di voler impostare il fattore di baud rate a 64: dobbiamo allora impostare i bit  $D_1D_0$  ad 11. Se vogliamo trasmettere dati lunghi otto bit dobbiamo porre  $D_3D_2$  ad 11. Per abilitare la parità poniamo  $D_4$  ad uno. Se vogliamo scegliere la parità pari poniamo  $D_5$  ad uno. Scegliamo, ad esempio, 1 bit di stop per cui poniamo  $D_7D_6$  a 01. otteniamo dunque la seguente parola di modo

$$01111111|_2=7F|_H$$

Per impostare nuovamente l'8251 occorre inviare ad esso una parola di comando in cui il bit  $D_6$  sia ad 1, provocandone il reset.

Dopo aver impostato l'USART mediante la parola di modo, per impostarla come trasmettitore, useremo una parola di comando  $01_H$ , con  $D_0=1$ . per cominciare la trasmissione occorre attivare  $\overline{DTR}$ , ciò viene fatto inviando la parola di comando  $03_H$  che conserverà  $D_0$  a uno (abilitazione trasmissione) e  $D_1=1$  (viene forzato uno zero sull'uscita  $\overline{DTR}$ ).

Occorre attendere che il modem attivi il segnale  $\overline{DSR}$  e poi attivare il segnale  $\overline{RTS}$ . Ciò viene fatto inviando la parola di comando  $21_H$  in modo che conserverà  $D_0$  a uno (abilitazione trasmissione) e  $D_5=1$  (viene forzato uno zero sull'uscita  $\overline{RTS}$ ).

Si attende poi che il modem attivi il segnale  $\overline{CTS}$  e successivamente si inviano i dati.

Il listato del programma è allora il seguente

```
LD A, 7FH
```

```
OUT(09H), A; invia parola di modo al 8251
```

LD A, 01<sub>H</sub>; invia parola di comando al 8251  
OUT(09<sub>H</sub>), A; che lo programma come trasmettitore

LD A, 03<sub>H</sub>; invio parola per settare  $\overline{DTR}$   
OUT (09<sub>H</sub>), A

LOOP IN A, (09<sub>H</sub>); si attende che sia settato  $\overline{DSR}$  che  
BIT 7, A; è riportato al bit 7 della parola di stato  
JP Z, LOOP; si continua a provare il bit 7

LD A, 21<sub>H</sub>; quando diventa pari a uno si setta  $\overline{RTS}$   
OUT (09<sub>H</sub>), A

LOOP1 IN A, (09<sub>H</sub>); si attende che sia settato  $\overline{CTS}$   
BIT 0, A; e che l'8251 abbia il buffer vuoto  
JP Z, LOOP1; situazione sintetizzata da  $T_{XRDY} = 1$   
LD A, XX; caricamento del dato nell'accumulatore  
OUT(08<sub>H</sub>), A; trasmissione dato

“”