
P8 – SCHEDA CON CPU Z80	1
Specifiche	1
Generatore di clock mediante NE 555	3
Circuito di master-reset	15
Selettore di modalità RUN/DMA.	20
I buffer	22
Altri componenti	28

P8 – Scheda con CPU Z80

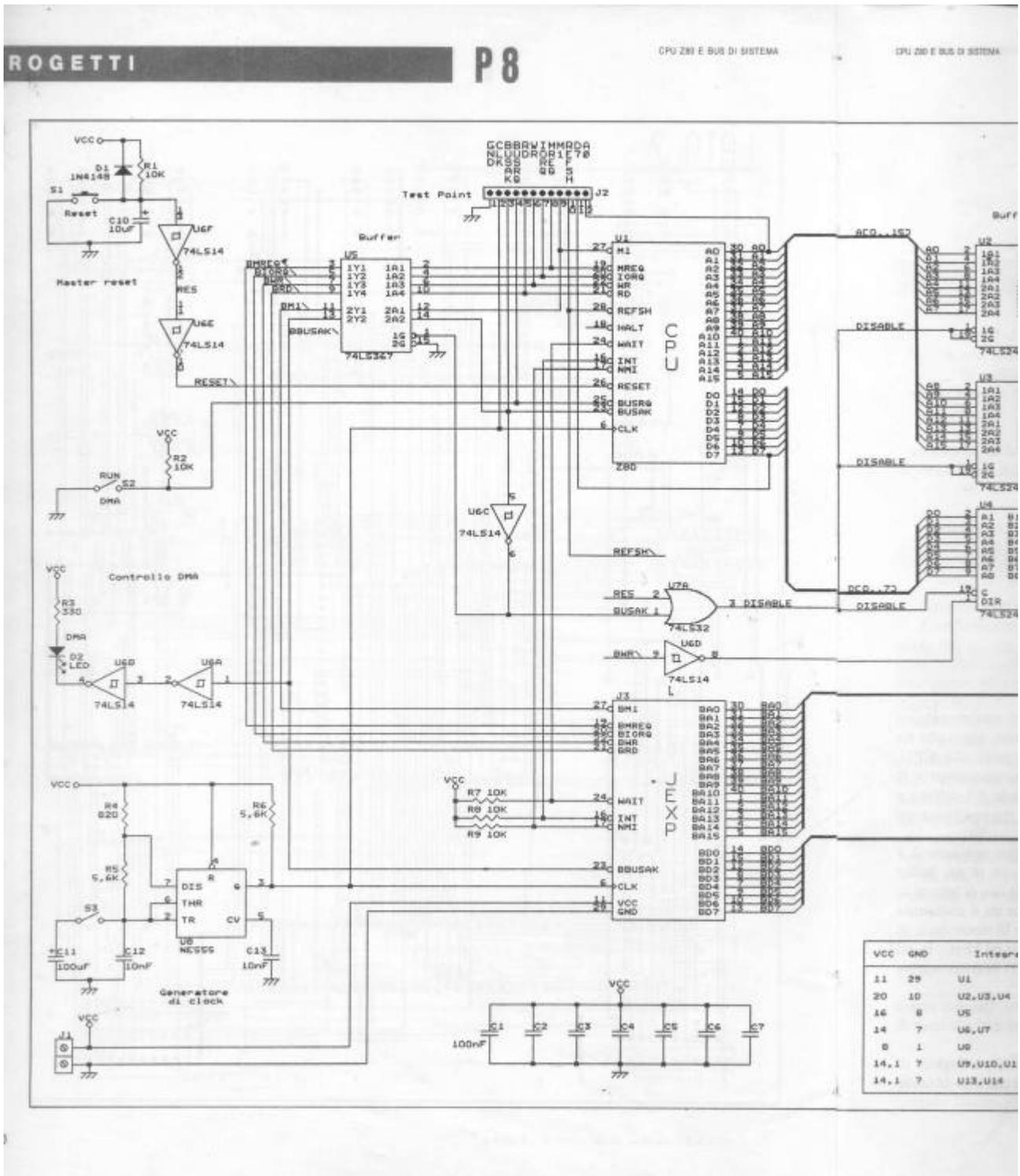
Specifiche

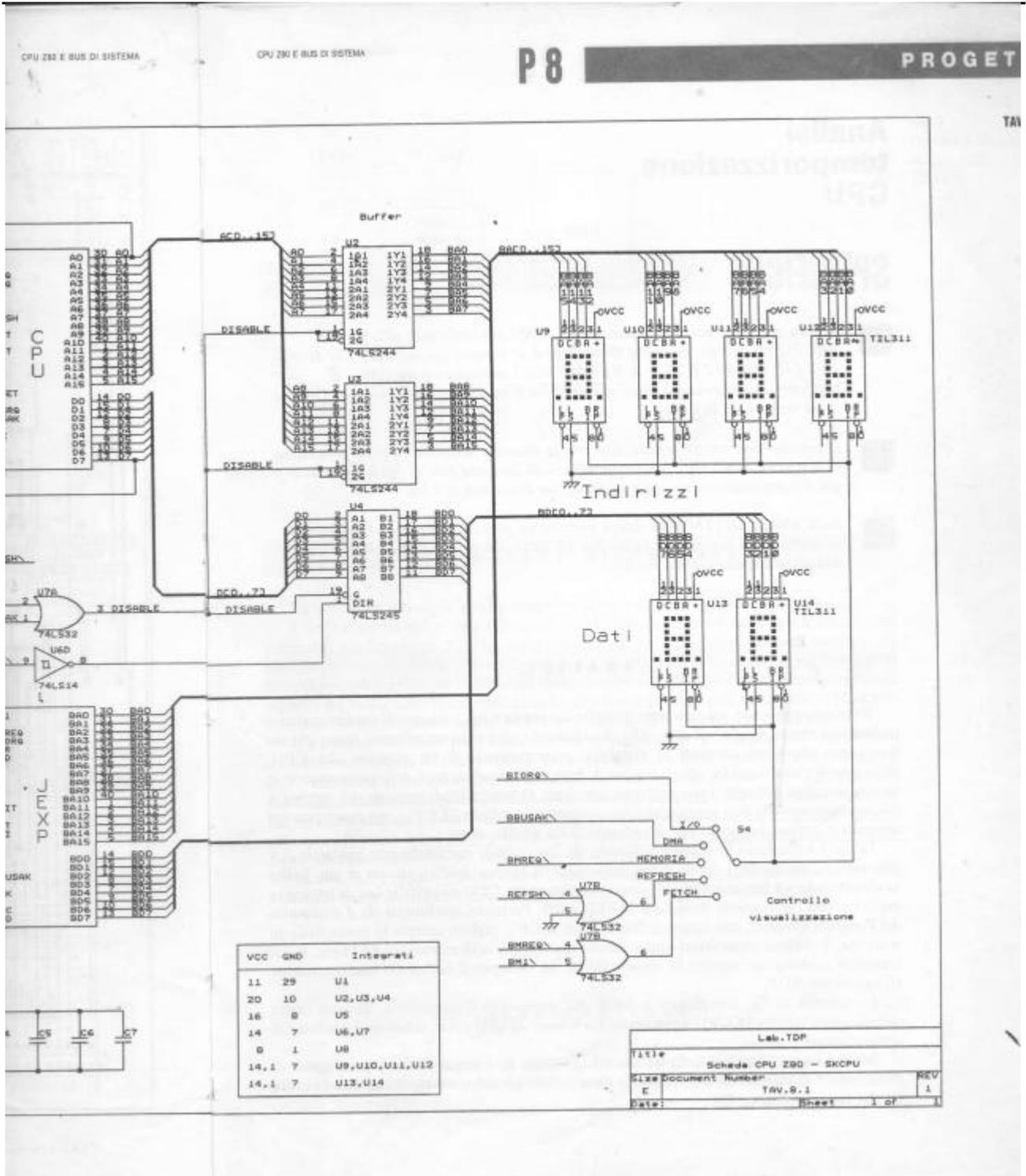
La scheda, basata su microprocessore Z80, ha uno scopo didattico, essendo progettata per permettere l'analisi sperimentale del funzionamento di questo microprocessore.

Deve essere presente

- Un generatore di clock che permetta di avere due segnali di frequenza rispettivamente 20 Hz e 2 KHz
- Un circuito di reset
- Possibilità di operare in modalità DMA

- Possibilità di visualizzare mediante opportuni display lo stato dei bus durante i vari cicli possibili
- Presenza di un connettore per collegare questa scheda a schede di espansione di memoria e IO

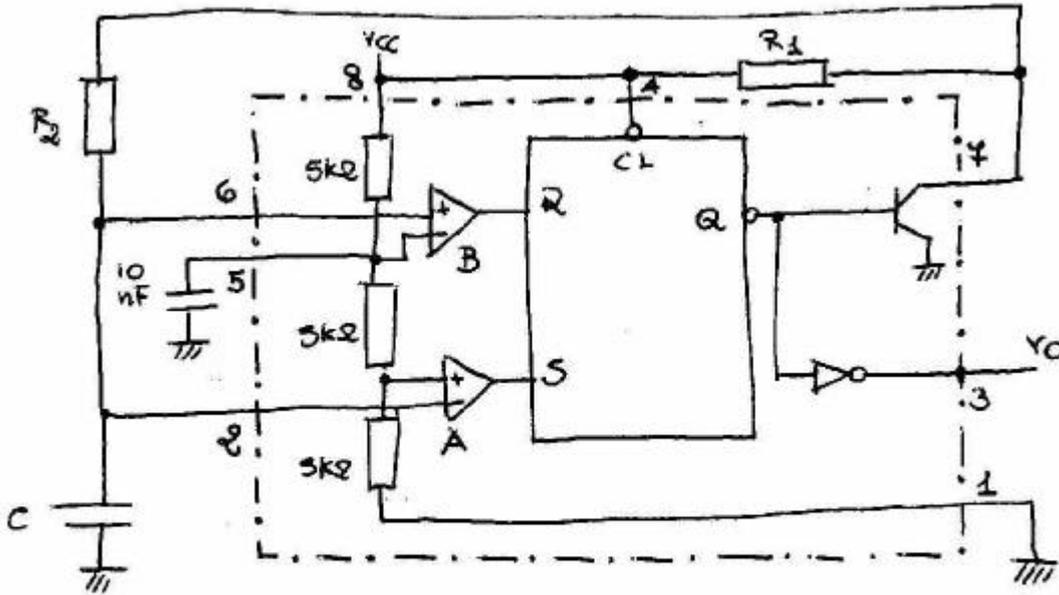




Generatore di clock mediante NE 555

Come appare dallo schema, si è usato come generatore di clock, il timer NE555

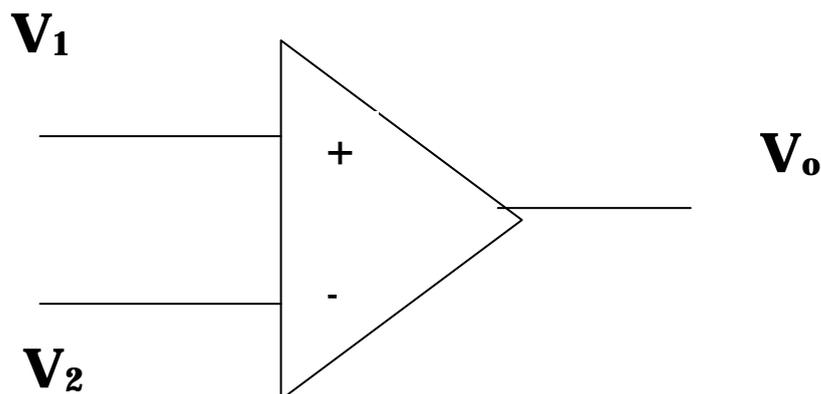
Consideriamo la seguente figura



L'integrato NE555 è quello racchiuso dalla linea tratteggiata. Si nota, all'interno dell'integrato, un latch di tipo SR. Un latch di tipo SR è un circuito sequenziale con due ingressi denominati S ed R e due uscite Q e \bar{Q} che soddisfano alla seguente tabella

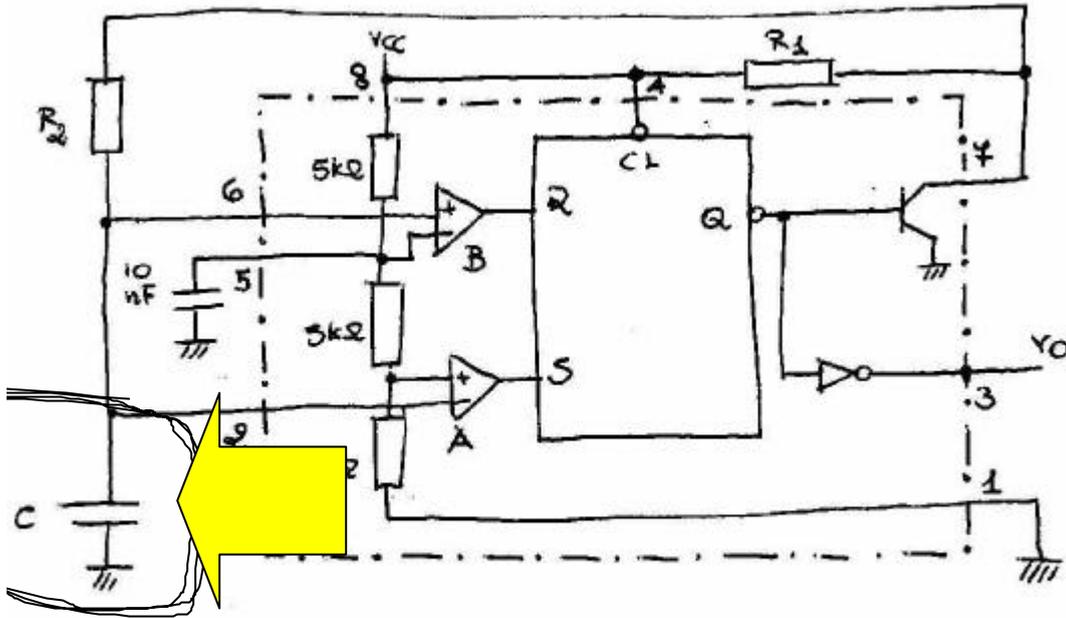
S	R	Q	\bar{Q}
0	0	Q	\bar{Q}
0	1	0	1
1	0	1	0
1	1	X	X

La prima combinazione degli ingressi fa in modo che le uscite permangano ai valori che avevano precedentemente. L'ultima combinazione non è utilizzata. Come si può notare dalla figura, i segnali S ed R sono ricavati dalle uscite di due comparatori (individuati dai due simboli triangolari). Inoltre il latch contenuto nell'integrato presenta la sola uscita negata. Un comparatore di tensione è un dispositivo che presenta un'uscita e due morsetti individuati rispettivamente con un + ed un -

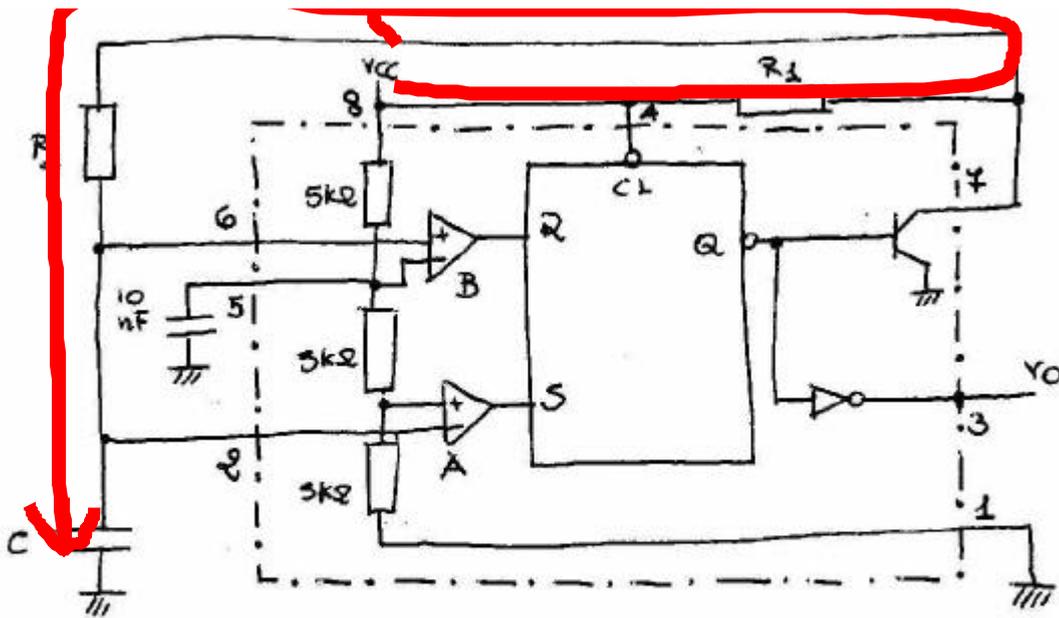


Questo dispositivo confronta le due tensioni V_1 e V_2 presenti agli ingressi dell'operazionale. Se $V_1 > V_2$, l'uscita si porta a livello logico alto, se $V_1 < V_2$ l'uscita si porta a livello logico basso. La condizione $V_1 = V_2$ seppur logicamente possibile, non può, in realtà verificarsi in quanto, essendo il comparatore estremamente sensibile, basta una differenza infinitesima fra i due segnali a far scattare il comparatore. All'interno del NE555 vi è un partitore resistivo costituito da tre resistenze in serie da 5 kohm. Ne deriva che al morsetto - del comparatore B arriva una tensione pari a $\frac{2}{3}V_{CC}$ mentre al morsetto + del comparatore A giunge la tensione di $\frac{1}{3}V_{CC}$. I componenti che, nella figura, appaiono all'esterno della linea tratteggiata non fanno parte dell'integrato e sono aggiunti per fare in modo che esso si comporti come un circuito astabile. *Un circuito astabile è un circuito che non presenta ingresso e la cui uscita . Il condensatore da 10 nF collegato al piedino 5 ha lo scopo di mantenere stabile la tensione fornita dal partitore resistivo.*

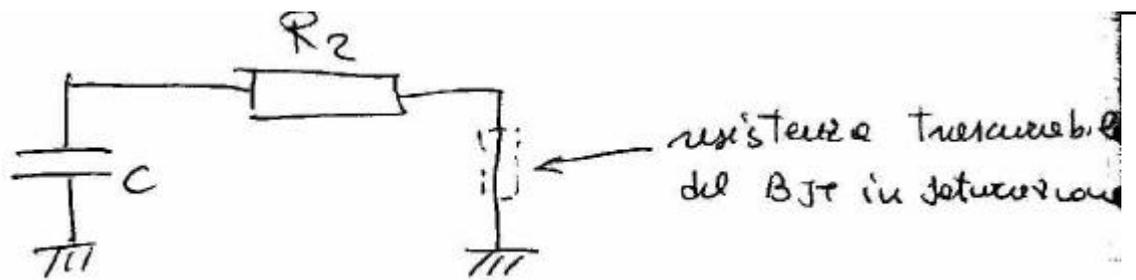
All'accensione il condensatore C alla sinistra del circuito è resettato



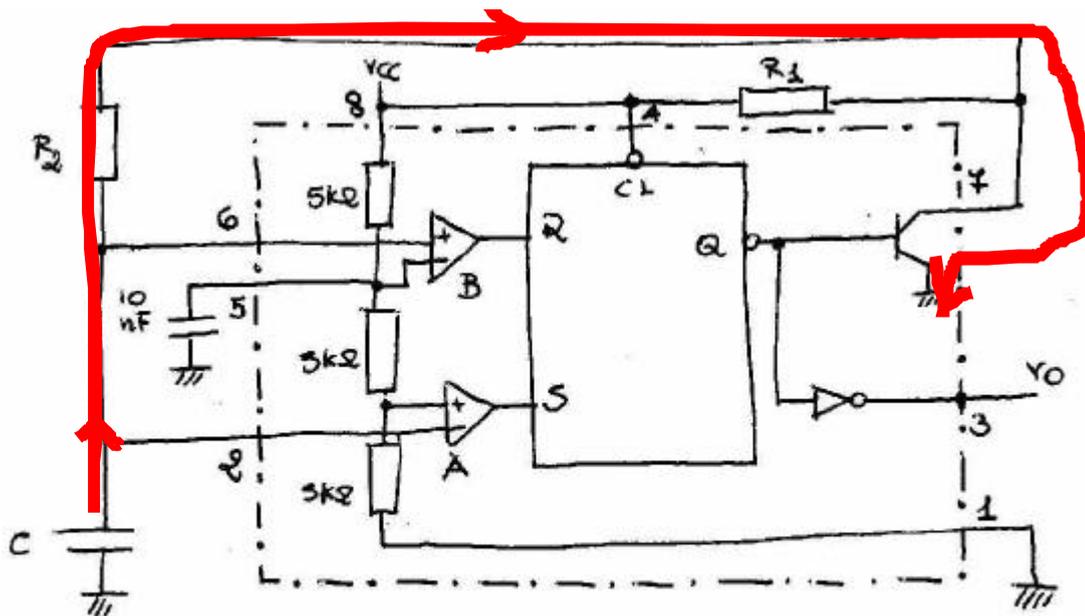
per cui al morsetto + del comparatore B giunge una tensione nulla. Poiché al morsetto - giunge una tensione superiore, l'uscita del comparatore B è pari a 0. inversamente per il comparatore A, abbiamo al morsetto - una tensione nulla per cui questa è inferiore a quella al morsetto + e l'uscita è a livello logico alto. Si ha che $S = 1$ ed $R = 0$, il latch è settato per cui $Q = 1$ e $\bar{Q} = 0$. Ma quest'ultimo comanda la base del BJT che risulterà, pertanto, in interdizione. Poiché un transistor in interdizione si comporta da circuito aperto, il condensatore C risulta collegato, attraverso le resistenze R1 ed R2 alla tensione di alimentazione V_{CC} per cui può caricarsi



La tensione ai capi del condensatore aumenta. Ad un certo istante essa raggiungerà il valore $\frac{V_{CC}}{3}$, per cui l'uscita del comparatore A passerà dal valore logico 1 al valore logico zero. Per quanto riguarda il comparatore B, a questo punto la tensione al morsetto + è ancora inferiore a quella presente al morsetto - per cui la sua uscita permane al livello logico zero. Gli ingressi del latch RS sono allora $S = 0$ ed $R = 0$. dalla tabella precedente si vede che le uscite permangono al livello precedente per cui il BJT resta interdetto e il condensatore continua a caricarsi. Quando la sua tensione giunge al valore $\frac{2V_{CC}}{3}$, l'uscita del comparatore B passa al valore logico uno. Gli ingressi del latch diventano $S = 0$ ed $R = 1$ e le uscite commutano a $Q = 0$ e $\bar{Q} = 1$. il BJT va in saturazione trasformandosi in un corto circuito. Da questo momento il condensatore C, attraverso la resistenza R2 ed il BJT viene posto a massa

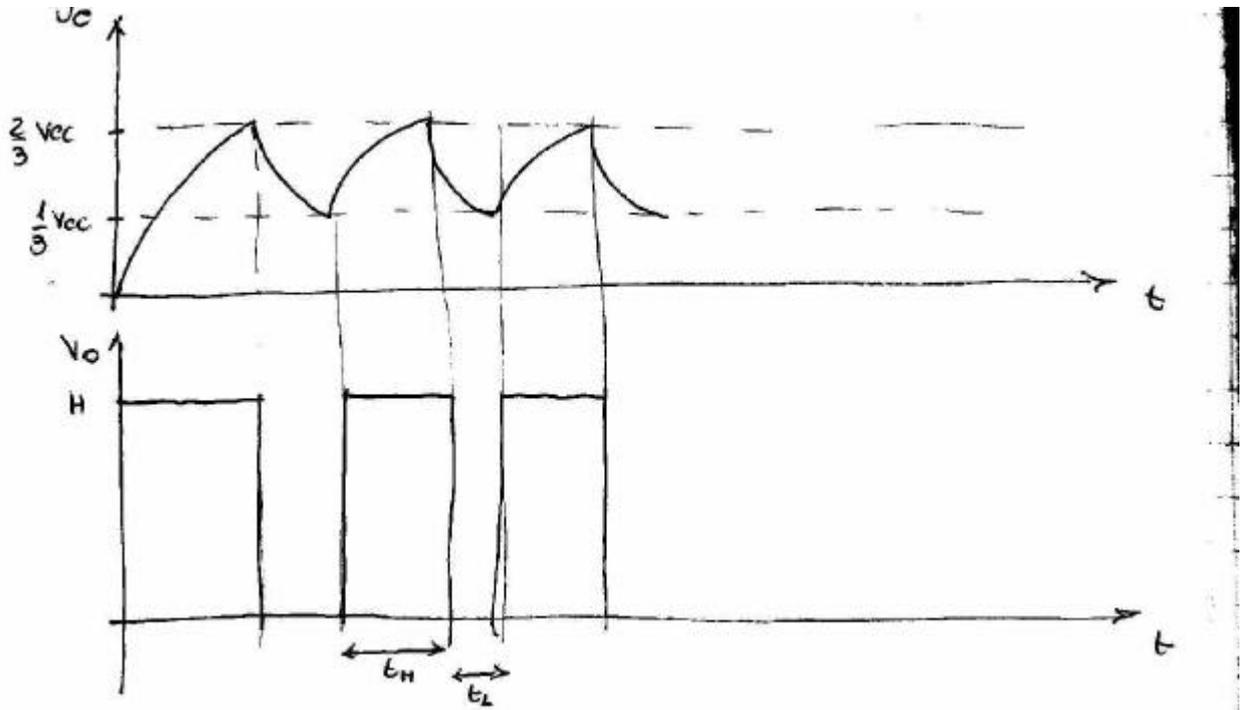


e, quindi scarica



Quando la tensione del condensatore scende di nuovo al di sotto del valore $\frac{V_{CC}}{3}$ si ha di nuovo la condizione $S = 1$ ed $R = 0$, per cui l'uscita \bar{Q} va di nuovo a zero, conseguentemente il BJT va di nuovo in interdizione ed il condensatore risulta di nuovo collegato alla V_{CC} e si può ricaricare di nuovo. Da questo momento la tensione del condensatore oscillerà fra $\frac{V_{CC}}{3}$ e $\frac{2V_{CC}}{3}$. Si osservi che, quando il condensatore sta caricando si ha $\bar{Q} = 0$ per cui l'uscita dell'integrato, essendo negata sarà a livello logico

uno. Invece, quando il condensatore sta scaricando, si ha $\bar{Q} = 1$ per cui l'uscita dell'integrato va a zero.



Otteniamo dunque, un'onda quadra. Per calcolare il periodo e il duty cycle della stessa dovremmo effettuare alcuni calcoli, ma possiamo già osservare che il tempo t_H durante il quale l'uscita è alta dipende dal tempo che il condensatore mette a caricarsi, per cui è proporzionale alla tau di carica, che a sua volta è pari a

$t_C = C(R_1 + R_2)$. Analogamente il tempo t_L durante il quale l'onda rimane a livello basso sarà proporzionale al tempo di scarica, a sua volta proporzionale alla tau di scarica $t_S = C(R_2)$, ne deriva che t_H deve necessariamente essere superiore a t_L per cui

$$\frac{t_H}{T} = \frac{t_H}{t_H + t_L} > \frac{1}{2}$$

cioè il duty cycle è

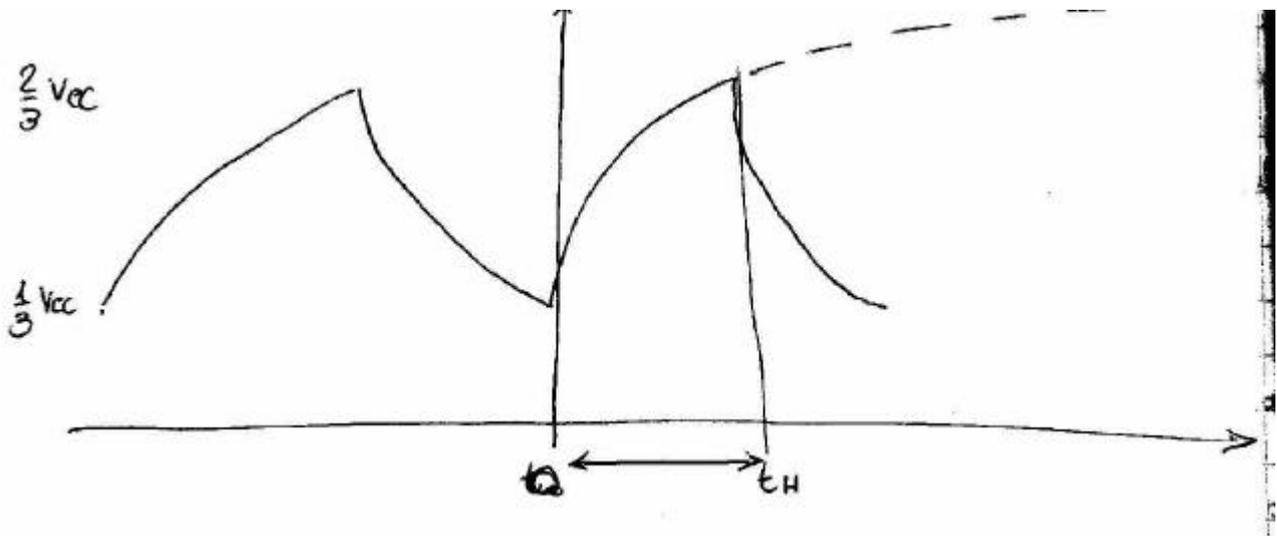
$$D\% = \frac{t_H}{T} 100 = \frac{t_H}{t_H + t_L} 100 > 50\%$$

Ora dobbiamo trovare una formula di progetto che leghi i valori delle capacità e resistenze inserite nel circuito al valore di frequenza che si vuole ottenere.

L'equazione differenziale che regge il fenomeno della carica e scarica in un circuito RC ha per soluzione generale la seguente espressione

$$v_C(t) = Ae^{-\frac{t}{\tau}} + B$$

dove A e B sono due costanti che dipendono dalle condizioni iniziali. Cerchiamo, allora di calcolare il tempo t_H e supponiamo di fissare l'istante iniziale $t = 0$, proprio quando il condensatore inizia a caricarsi.



per $t = 0$ si ha $v_C(t) = \frac{V_{CC}}{3}$, quindi

$$v_C(0) = Ae^{-\frac{0}{\tau}} + B = Ae^0 + B = A \cdot 1 + B = A + B = \frac{V_{CC}}{3}$$

Ora notiamo che, se il condensatore fosse lasciato libero di caricarsi, in un tempo infinito avremmo

$$t \rightarrow \infty \Rightarrow v_C(t) \rightarrow V_{CC}$$

$$\lim_{t \rightarrow \infty} v_C(t) = Ae^{-\infty} + B = A \cdot 0 + B = B = V_{CC}$$

abbiamo allora che

$$\begin{cases} A + B = \frac{V_{CC}}{3} \\ B = V_{CC} \end{cases} \Rightarrow A = \frac{V_{CC}}{3} - B = \frac{V_{CC}}{3} - V_{CC} = -\frac{2V_{CC}}{3}$$

la legge che regola nel nostro caso, la carica e scarica di un condensatore è allora

$$v_C(t) = -\frac{2V_{CC}}{3} e^{-\frac{t}{t_c}} + V_{CC}$$

dal grafico si vede che per $t = t_H$, $v_C(t) = \frac{2V_{CC}}{3}$ quindi

$$v_C(t) = -\frac{2V_{CC}}{3} e^{-\frac{t_H}{t_c}} + V_{CC} = \frac{2V_{CC}}{3}$$

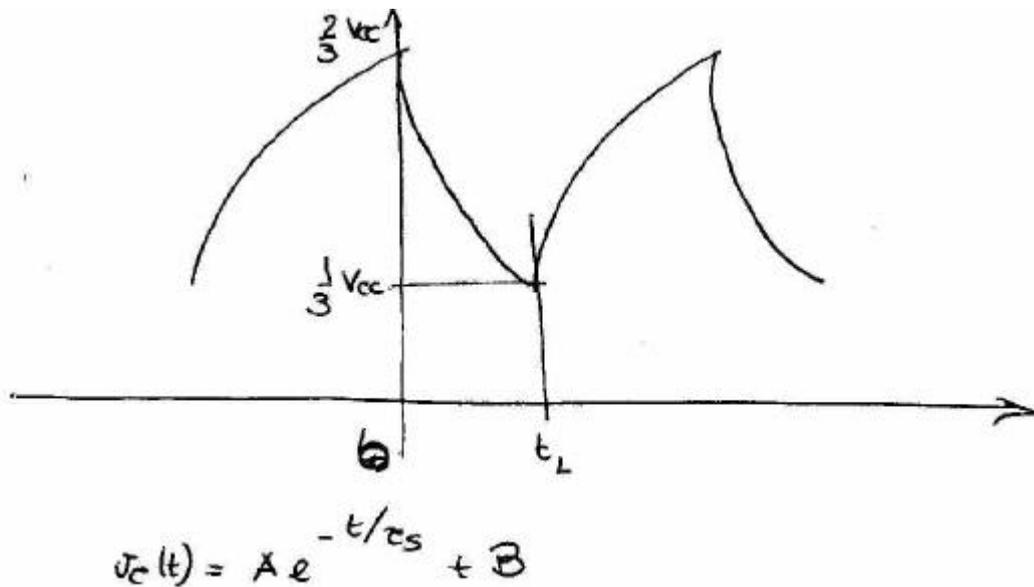
$$-\frac{2}{3} e^{-\frac{t_H}{t_c}} + 1 = \frac{2}{3} \Rightarrow -\frac{2}{3} e^{-\frac{t_H}{t_c}} = \frac{2}{3} - 1 \Rightarrow -\frac{2}{3} e^{-\frac{t_H}{t_c}} = -\frac{1}{3} \Rightarrow$$

$$e^{-\frac{t_H}{t_C}} = \frac{1}{2} \Rightarrow \ln e^{-\frac{t_H}{t_C}} = \ln \frac{1}{2} \Rightarrow$$

$$\ln e^{-\frac{t_H}{t_C}} = \ln \frac{1}{2} \Rightarrow -\frac{t_H}{t_C} = -\ln 2 \Rightarrow t_H = t_C \ln 2 \Rightarrow$$

$$t_H \approx 0.7(R_1 + R_2)C$$

ripetiamo lo stesso procedimento per la scarica, ponendo $t = 0$ all'istante in cui comincia a scaricarsi il condensatore



$$v_C(t) = A e^{-\frac{t}{\tau_s}} + B$$

per $t = 0$ si ha $v_C(t) = \frac{2 \cdot V_{CC}}{3}$,

$$v_C(0) = A e^{-\frac{0}{\tau_s}} + B = A e^0 + B = A \cdot 1 + B = A + B = \frac{2 \cdot V_{CC}}{3}$$

Ora notiamo che, se il condensatore fosse lasciato libero di scaricarsi, in un tempo infinito avremmo

$$t \rightarrow \infty \Rightarrow v_C(t) \rightarrow 0$$

$$\lim_{t \rightarrow \infty} v_C(t) = Ae^{-\infty} + B = A * 0 + B = B = 0 \Rightarrow$$

$$t \rightarrow \infty$$

$$A = \frac{2V_{CC}}{3} \Rightarrow v_C(t) = \frac{2V_{CC}}{3} e^{-\frac{t}{t_s}}$$

dal grafico si vede che per $t = t_L$, $v_C(t) = \frac{V_{CC}}{3}$ quindi

$$v_C(t) = \frac{2V_{CC}}{3} e^{-\frac{t_L}{t_s}} = \frac{V_{CC}}{3}$$

$$e^{-\frac{t_L}{t_s}} = \frac{1}{2} \Rightarrow \ln e^{-\frac{t_L}{t_s}} = \ln \frac{1}{2} \Rightarrow$$

$$-\frac{t_L}{t_s} = -\ln 2 \Rightarrow t_L = t_s \ln 2 \Rightarrow$$

$$t_L \approx 0.7(R_2)C$$

Il periodo dell'onda quadra è allora

$$T = t_H + t_L = 0.7(R_1 + R_2)C + 0.7R_2C = 0.7(2R_2 + R_1)C$$

$$f = \frac{1}{0.7(R_1 + 2R_2)C}$$

Se adesso, andiamo al nostro progetto, vediamo che tra i piedini 6 e 7, è collegata una resistenza chiamata R5, mentre tra i morsetti 4 e 7 è collegata una resistenza R4; confrontando con lo schema di principio vediamo allora che R5 corrisponde ad R2 ed R4 ad R1.

Vediamo come $R4 = 820 \text{ } \Omega \ll R5 = 5600 \text{ } \Omega$

Come richiesto per avere un duty cycle praticamente del 50%. Inoltre vediamo che, se l'interruttore S3 è aperto, la capacità collegata ai piedini 6 e 2 del NE555 ha un valore di 10 nF, per cui otteniamo un clock di frequenza

$$f = \frac{1}{0,7 * (2 * 5600 + 820) * 10 * 10^{-9}} = \frac{10^9}{50680} = 1,973 * 10^4 \cong 20 \text{ KHz}$$

Invece, se S3 è chiuso si ha che la capacità totale è

$$C = C_{11} + C_{12} = 100 \text{ } \mu\text{F} + 10 \text{ nF} \cong 100 \text{ } \mu\text{F}$$

per cui

$$f = \frac{1}{0,7 * (2 * 5600 + 820) * 100 * 10^{-6}} = \frac{10^6}{506800} = 1,973 \cong 2 \text{ Hz}$$

Da notare che C₁₃ è il condensatore che serve per stabilizzare la tensione del partitore di resistenze.

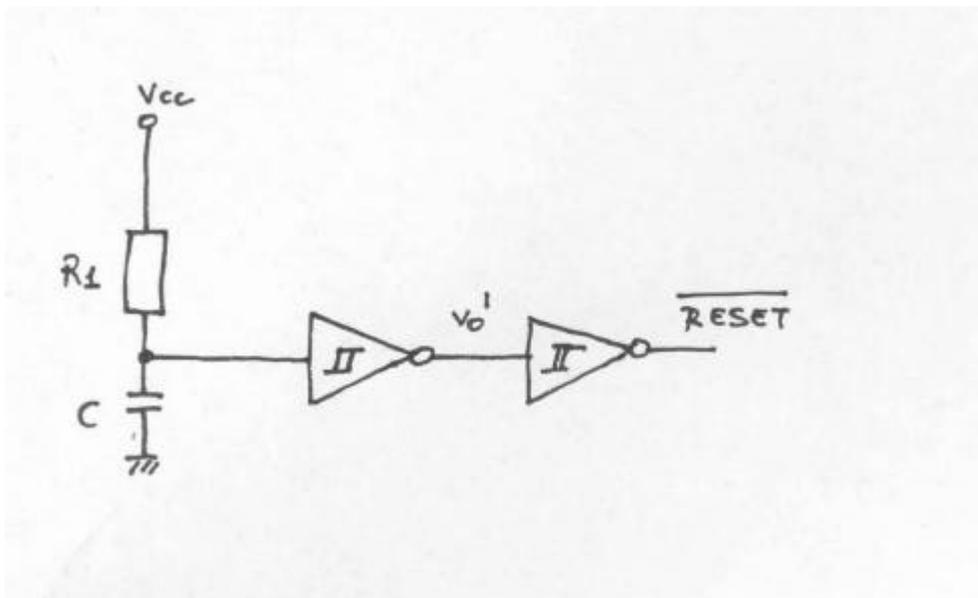
La resistenza R₆ è una resistenza di pull-up per il corretto interfacciamento del timer con lo Z80.

Circuito di master-reset

Il circuito di master – reset ha lo scopo di assicurare che il microprocessore venga resettato all'accensione della scheda o quando lo decide l'utilizzatore premendo un opportuno pulsante.

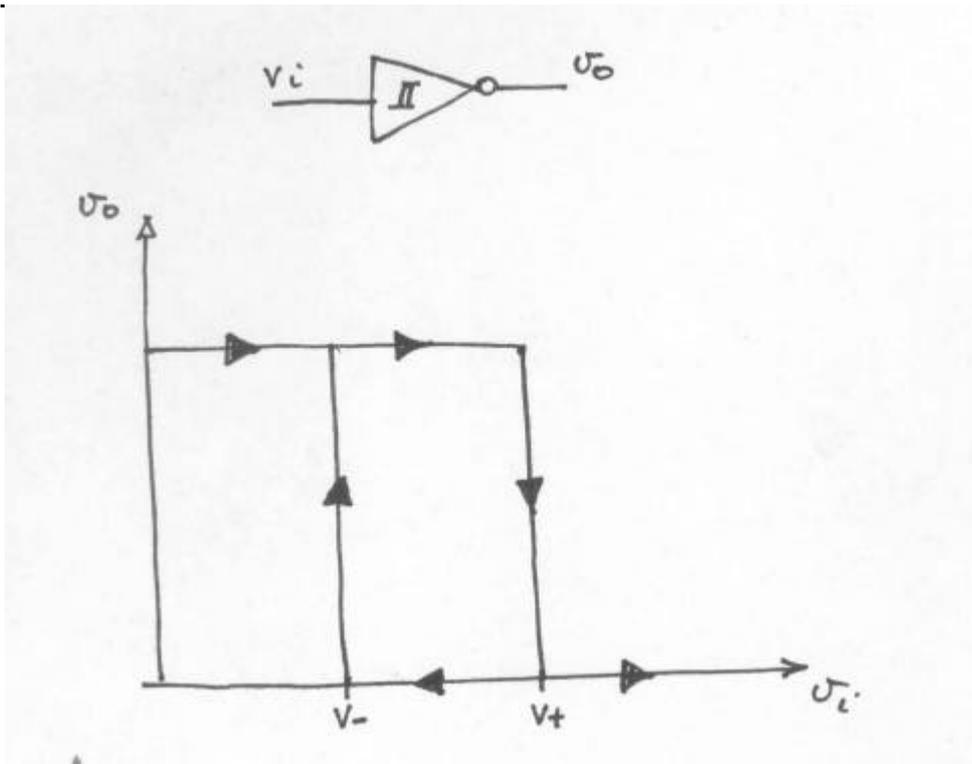
Ricordiamo che è essenziale che il microprocessore venga resettato all'accensione della scheda poiché, altrimenti, i suoi registri interni potrebbero porsi in uno stato iniziale aleatorio, casuale.

Il diodo D_1 serve solo come protezione da eventuali sovraelongazioni negative della tensione che, infatti, lo polarizzerebbero positivamente mentre, normalmente esso è polarizzato inversamente.

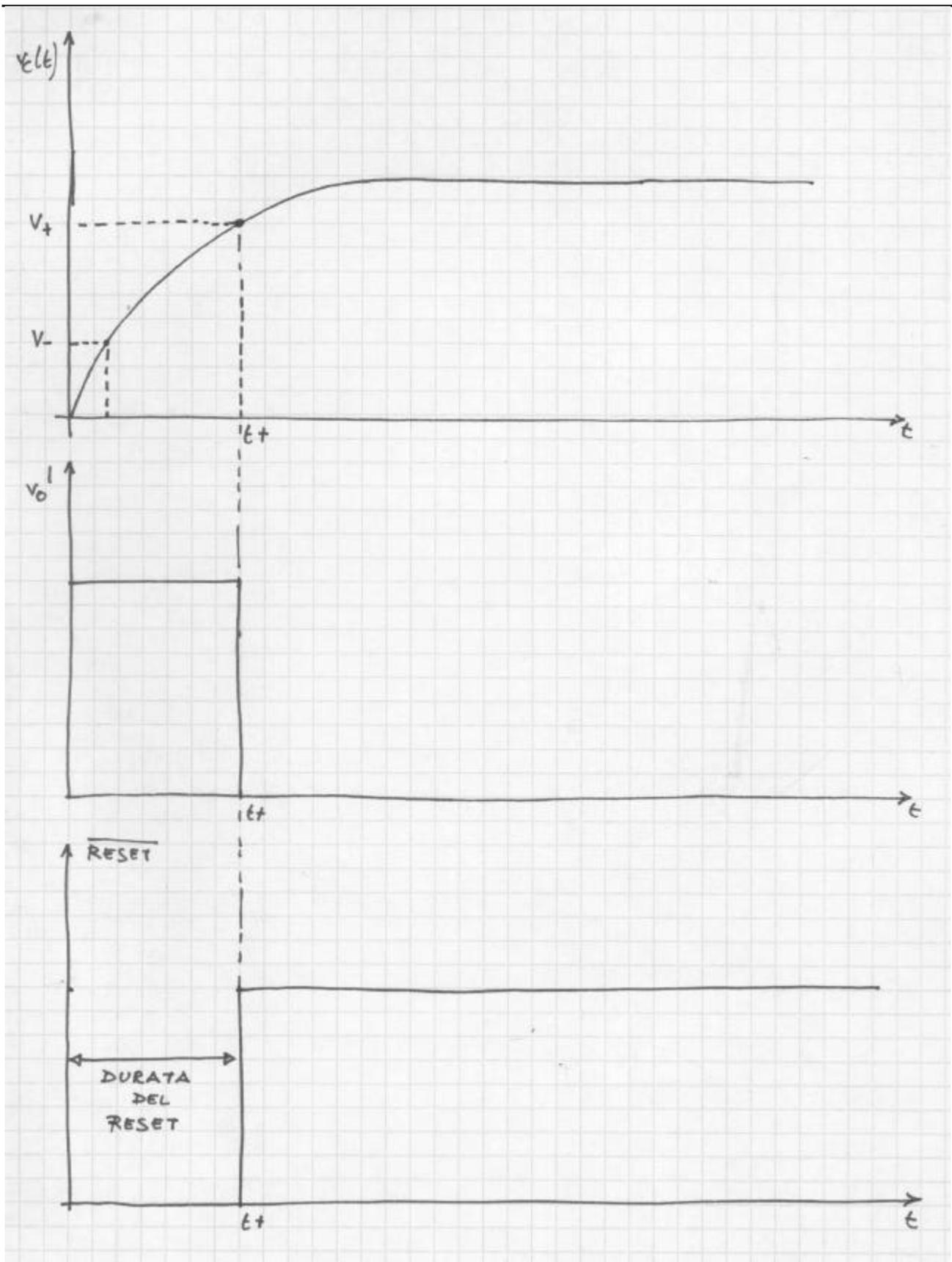


Quando si dà alimentazione alla scheda, il condensatore C tende a caricarsi attraverso R_1 .

La tensione del condensatore è in ingresso ad una NOT triggerata. Una NOT triggerata ha la seguente caratteristica di trasferimento



Da questa curva si vede che, quando la tensione di ingresso cresce partendo da zero, se non supera il valore V_+ , la tensione di uscita rimane sempre al valore logico alto mentre se la tensione di ingresso sta scendendo, finchè essa non scende al di sotto del valore di soglia V_- , la tensione di uscita rimane sempre a livello logico basso. Allora la situazione è la seguente



Ora bisogna ricordare che, affinché sia efficace, la durata dell'impulso di reset deve essere pari ad almeno 3 cicli di clock, il che vuol dire, alla frequenza di 20 KHz, che deve essere

$$t_+ = 3 * T_{CK} = \frac{3}{f_{CK}} = \frac{3}{2 * 10^4} = 150 \text{ms}$$

Dal diagramma vediamo che l'impulso di reset torna alto quando v_c raggiunge il valore di soglia V_+ che si può ricavare dai data sheet, e vale tipicamente 2 volt e $V_{CC} = 5$ volt, mentre V_- tipicamente vale 1,2 volt. Poiché la relazione che determina la carica del condensatore è, in questo caso

$$v_C(t) = V_{CC} * (1 - e^{-\frac{t}{t_c}}) = 5 * (1 - e^{-\frac{t}{t_c}})$$

si ha che l'istante t_+ in cui termina il reset è

$$5 * (1 - e^{-\frac{t_+}{t_c}}) = 2$$

$$1 - e^{-\frac{t_+}{t_c}} = \frac{2}{5}$$

$$-e^{-\frac{t_+}{t_c}} = \frac{2}{5} - 1 = -\frac{3}{5}$$

$$e^{-\frac{t_+}{t_c}} = \frac{3}{5}$$

$$-\frac{t_+}{t_C} = \ln \frac{3}{5}$$

$$t_+ = -t_C \ln \frac{3}{5}$$

$$t_+ = t_C \ln \left(\frac{3}{5} \right)^{-1}$$

$$t_+ = t_C \ln \frac{5}{3}$$

$$t_+ = t_C * 0,51 = 150 \text{ms}$$

cioè deve essere

$$t_C = \frac{150}{0,51} \text{ms} \cong 150 \text{ms}$$

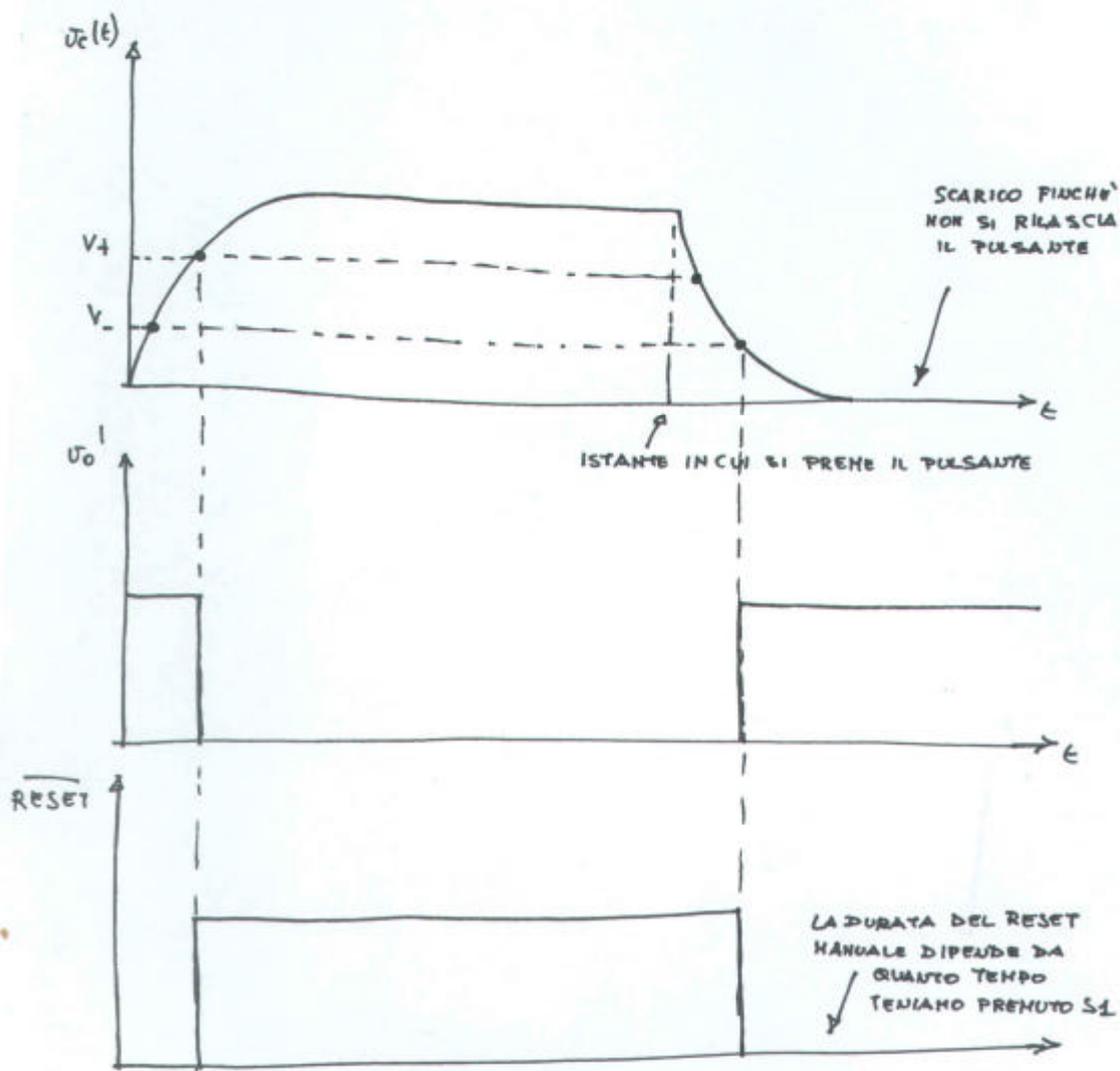
Posto $R_1 = 10 \text{ KO}$ e $C_{10} = 10 \mu\text{F}$ si ha

$$t_C = 10 * 10^3 * 10 * 10^{-6} = 100 * 10^{-3} = 100 \text{ms}$$

molto maggiore del valore richiesto, mentre non vale per $f = 2\text{Hz}$ dove dovrebbe essere

$$3T_{CK} = \frac{3}{f} = \frac{3}{2} = 1,5 \text{s}$$

In questo caso non resta che effettuare il reset manuale premendo il pulsante S1. chiudendo S1 il condensatore scarica molto rapidamente a massa essendo la resistenza offerta dal pulsante chiuso, molto bassa



Selettore di modalità RUN/DMA.

In generale, in una scheda con microprocessore questi è il master della piastra, cioè colui che gestisce i bus intorno a cui la piastra è organizzata; quindi è il microprocessore che decide quali integrati possono o meno collegarsi ai bus o devono invece sconnettersi ponendo le loro uscite in three-state. In altri casi, quali la presenza di più microprocessori

sulla scheda o la presenza di un coprocessori matematico, ci può essere un altro dispositivo che fa da master, detto DMA (direct memory access) che permette la gestione della memoria e del IO al di fuori del microprocessore, e gestisce autonomamente tutti i riferimenti dati tra memoria e memoria, IO e IO e memoria e IO.

Nel nostro caso specifico non c'è un dispositivo di questo tipo, però vogliamo fare in modo da poter agire direttamente sul contenuto della memoria collegata in una scheda separata, senza l'intervento del microprocessore. In sostanza, in questa modalità, vogliamo poter chiedere al microprocessore di staccarsi dai bus ponendo le sue uscite in three state. A tale scopo lo Z80 è munito di un piedino d'ingresso detto BUSREQUEST; uno zero logico in ingresso a questo piedino costringe il microprocessore a staccarsi dai bus e ad emettere un segnale di risposta ponendo a zero l'uscita BUSAK (bus acknowledgment).

Nel nostro progetto si nota che il piedino di busrequest è collegato all'interruttore S2, per cui se questo è aperto la resistenza di pull up R2 tiene il piedino a livello alto, mentre quando il pulsante è chiuso, il piedino di BUSAK viene portato a massa, portando la scheda in modalità DMA. Si nota anche la presenza del diodo led D2 che, quando è acceso, indica che stiamo lavorando in modalità DMA. Infatti la linea BUSAK è collegata, tramite due not triggerate, al catodo del led il cui anodo è a V_{CC} . Le due not in cascata non hanno alcuna funzione logica, in quanto la doppia negazione di una variabile booleana restituisce il suo valore originario. Le due not però rendono il led insensibile ai disturbi e sarebbero comunque rimaste inutilizzate (ricordiamo che l'integrato 74ls14 presenta 6 not disponibili). La resistenza R3 serve a limitare la corrente che circola nel led (in un led in polarizzazione diretta può circolare una corrente I_D compresa fra 10 e 20 mA).

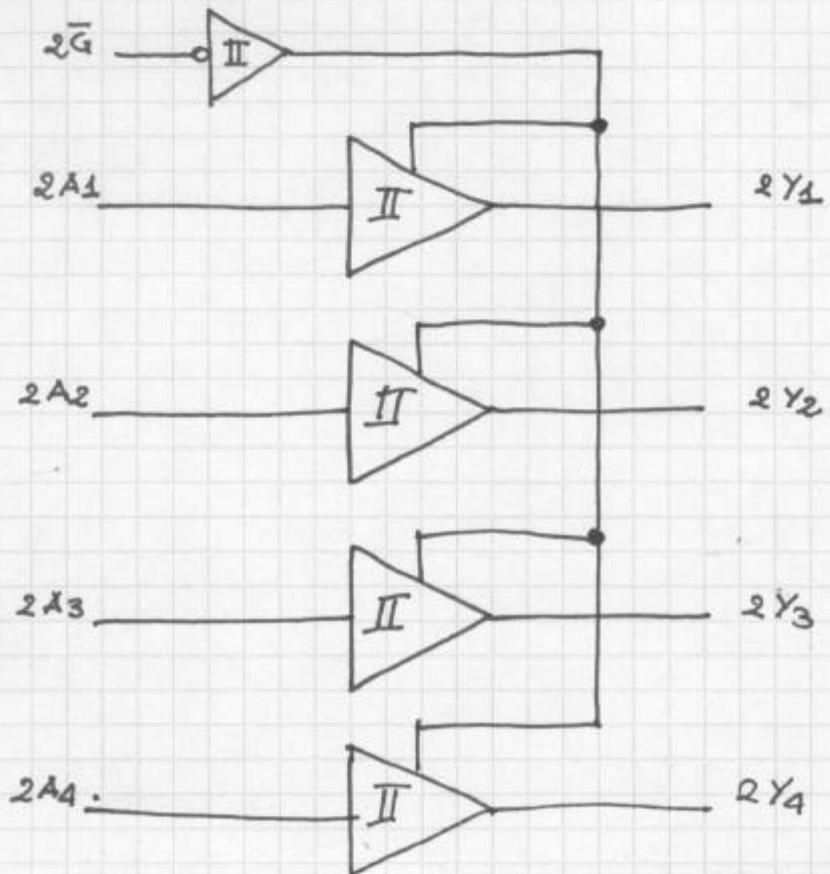
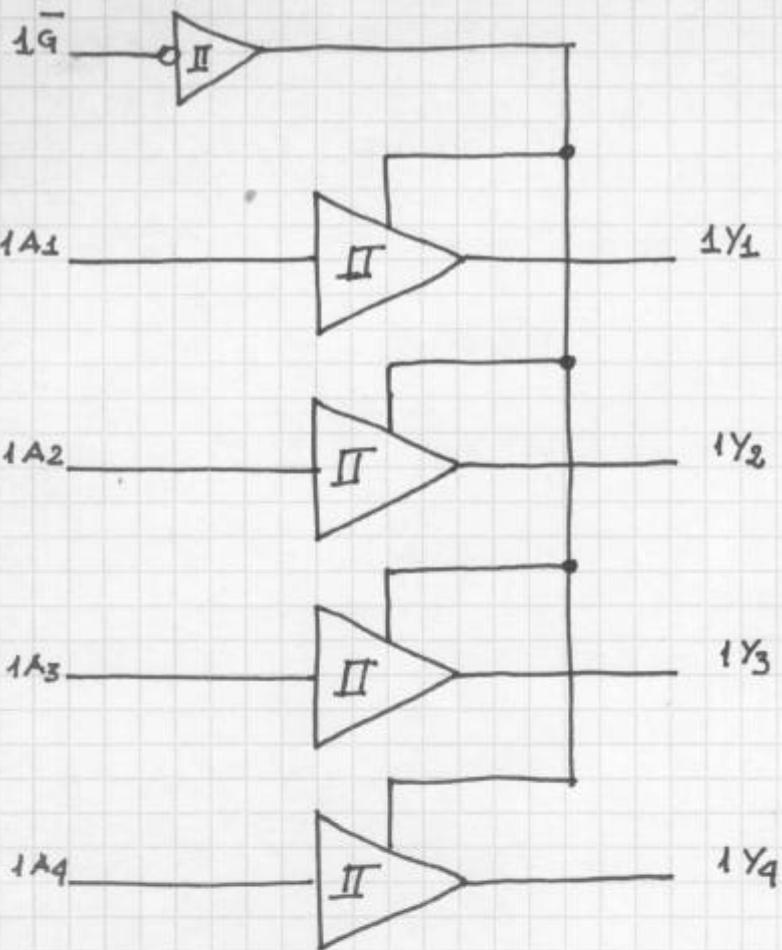
Allora, detta V_{OL} la tensione di uscita a livello logico basso della NOT (dai data sheet si vede che ha un valore tipico di 0,2 e max di 0,4 volt)

$$I_D = \frac{V_{CC} - V_D - V_{OL}}{R_3} = \frac{5 - 1,7 - 0,4}{330} \cong 10mA$$

I buffer

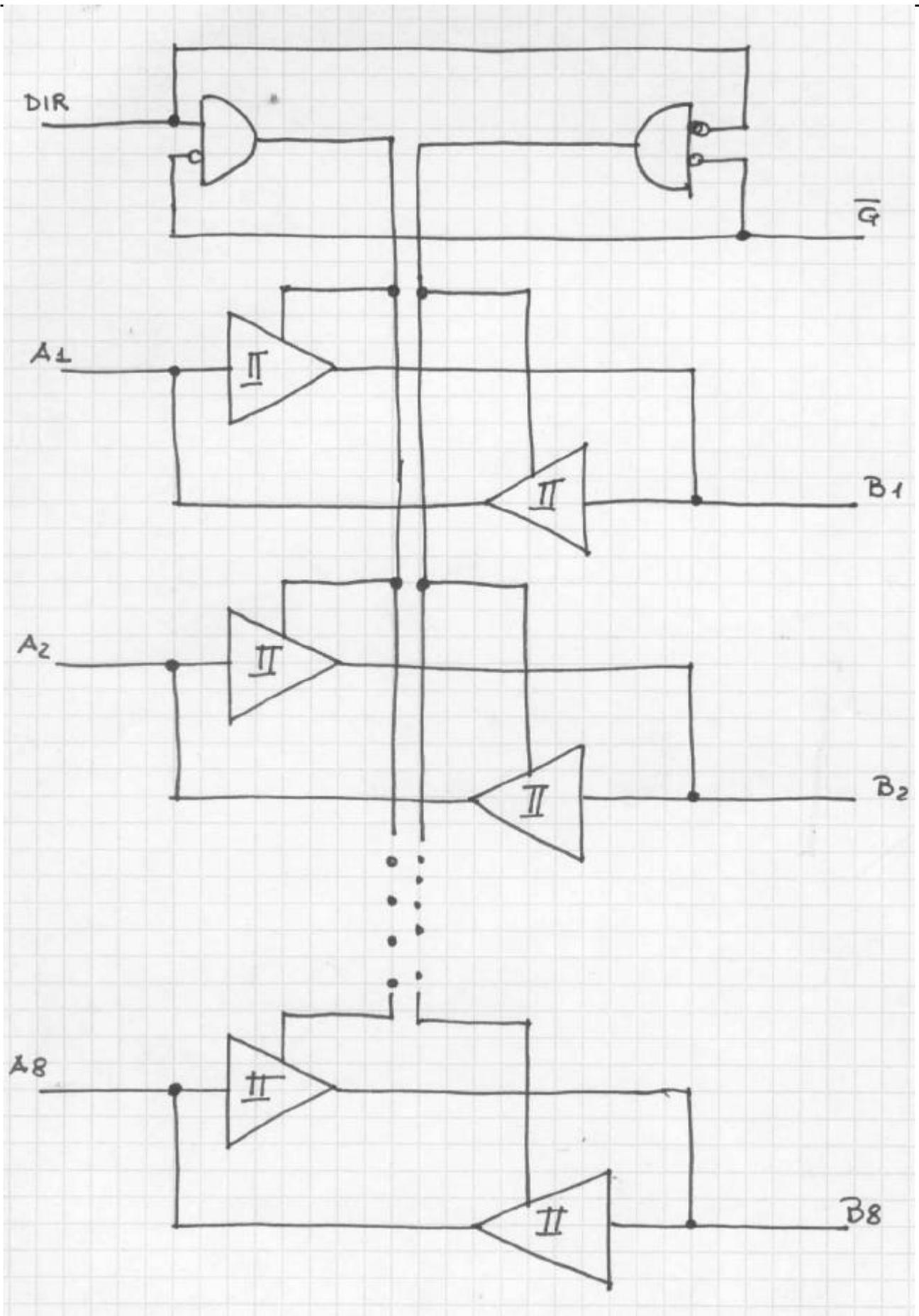
Si può vedere come i piedini dello Z80 non siano collegati direttamente ai vari dispositivi e al connettore presente sulla piastra, ma siano interfacciati con buffer di vario tipo. Analizzando i data sheet dello Z80, si nota che un suo piedino eroga, quando a livello alto, una corrente I_{OH} di circa 250 μA e, a livello basso, assorbe una corrente I_{OL} di circa 2 mA, presentando, quindi, un fan-out molto modesto. In pratica il μP non sarebbe in grado di pilotare i vari dispositivi presenti nella scheda. Se analizziamo i dati sheet, ad esempio del buffer 74244, questo presenta una I_{OH} di 15 mA e una I_{OL} di 24 mA (il fan out sale a 12). Inoltre la presenza di un buffer sui bus preserva lo Z80 dai danni dovuti a cortocircuiti sul bus. Vediamo che il bus indirizzi è interfacciato con due buffer a 8 bit 74LS244 che sono unidirezionali essendo il bus indirizzi unidirezionale.

La struttura interna di un 74LS244 è la seguente.

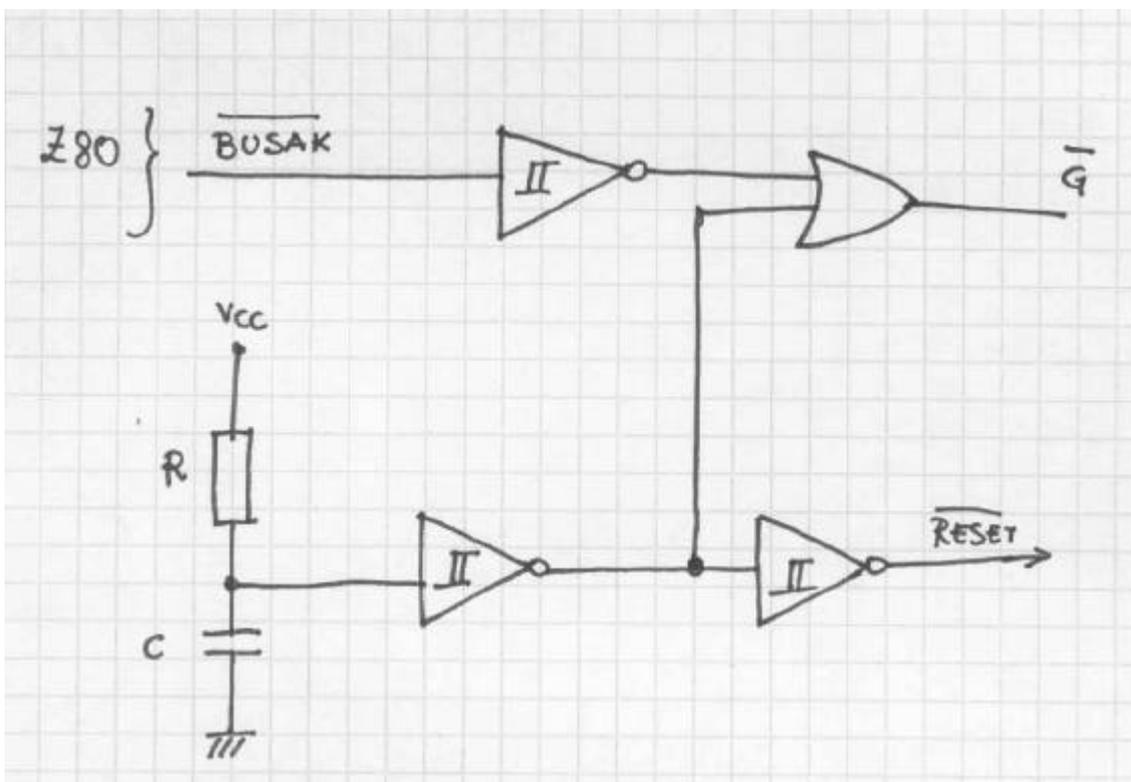


Come si può vedere, ogni ingresso è interfacciato con la relativa uscita mediante una porta three state, triggerata per migliorare l'immunità al rumore, che ha un'abilitazione attiva alta. Gli 8 ingressi sono divisi in due gruppi, ciascuno dei quali ha un'abilitazione attiva bassa che passa attraverso una not.

La struttura interna del 74245 è quella presentata alla figura seguente.



Come si può vedere, l'abilitazione \overline{G} è unica per tutti e 8 gli ingressi, mentre il segnale DIR indica se i dati devono andare da A a B o viceversa. Infatti se $\overline{G} = 0$ e DIR = 1, la AND di sinistra da un 1 in uscita e la AND di destra da uno 0 in uscita, per cui le porte a sinistra sono abilitate ed i segnali passano dai piedino A ai piedini B, mentre le porte di destra sono in alta impedenza. Viceversa se $\overline{G} = 0$ e DIR = 0, i dati vanno da B ad A. Nel nostro progetto vogliamo che i buffer vadano in alta impedenza quando il μP ha le sue uscite in alta impedenza, cioè quando lavoriamo in DMA o resettiamo la CPU. Per far questo colleghiamo le abilitazioni di tutti i buffer all'uscita di una OR i cui ingressi sono il segnale negato di \overline{BUSAK} ed il segnale RES che è ricavato tra le due NOT del circuito di master reset per cui è il negato di \overline{RESET} .



Allora, se stiamo resettando al CPU, $\overline{RESET} = 0$, per cui $RES = 1$. avendo almeno un ingresso alto, la OR ha l'uscita a livello logico alto. Se stiamo in modalità DMA, $\overline{BUSA} = 0$ per cui $BUSA = 1$ e anche in questo caso $\overline{G} = 1$. in entrambi i casi i buffer sono disabilitati.

Per quanto riguarda, in particolare, il buffer 74LS245, occorre realizzare la circuiteria di comando del segnale DIR. Nella nostra soluzione esso è ricavato dalla negazione del segnale di WRITE. Infatti, se il microprocessore è impegnato in un ciclo di lettura, i dati devono viaggiare nel buffer dai piedini A ai piedini B, ed, in effetti, in un ciclo di scrittura si ha $\overline{WR} = 0$, $DIR = 1$. Viceversa, in un ciclo di lettura, i dati devono andare dai piedini B ai piedini A e, poiché $\overline{WR} = 1$, $DIR = 0$, accade esattamente questo.

Display

Come da specifiche di progetto, i bus sono collegati a display per visualizzare il contenuto dei bus stessi. Ogni display può visualizzare una cifra esadecimale, cioè il contenuto di un nibble (4 bit), per cui occorrono 4 display per visualizzare il contenuto del bus indirizzi e due per il contenuto del bus dati.

Come si può notare, sono display in cui è integrato anche il decoder che comanda i segmenti interni. In particolare si nota la presenza del segnale LS (latch strobe). Quando $LS = 1$ viene congelato l'ultimo dato visualizzato e il display non insegue l'andamento delle quattro linee di ingresso. Invece, per $LS = 0$, il display insegue l'andamento degli ingressi, per cui visualizza istante per istante, ciò che è presente sugli ingressi. Poiché questa è la condizione che a noi interessa, tutti gli ingressi LS sono posti a massa.

Il segnale BI (blanking input) a livello 1 spegne i segmenti mentre a livello zero consente la visualizzazione degli ingressi. I segnali BI sono ricavati dall'uscita di un commutatore a 5 ingressi. Quando il commutatore è posto nella prima posizione, il NI è ricavato da \overline{IORQ} , per cui i display verranno accesi soltanto in presenza di operazioni di ingresso/uscita. Analogamente, nella seconda posizione, i display visualizzeranno i contenuti del bus solo se la scheda è in modalità DMA e così via. Per la quarta posizione si noti che, essendo un ingresso della OR sicuramente a zero, questa porta non ha alcuna funzione logica. Infatti si ha $\overline{REFSH} + 0 = \overline{REFSH}$. Però questa OR è una delle due porte che rimanevano inutilizzate dell'integrato e, comunque, gli ingressi di una porta di un IC non utilizzata, vanno fissati in qualche modo onde evitare che possano generare disturbi. Per l'ultima posizione che è relativa al ciclo di fetch, vanno messi in OR sia \overline{MREQ} che $\overline{M1}$. Ricordiamo, infatti, che la fase di fetch è caratterizzata dall'aver questi due segnali entrambi a zero.

Altri componenti

Notiamo infine che i segnali di controllo sono anch'essi bufferizzati tramite il buffer 74LS367, la cui struttura interna è del tutto analoga a quella dei buffer precedentemente descritti. L'unica differenza è che abbiamo 6 ingressi divisi in un gruppo di 4 comandato dall'ingresso $\overline{1G}$ e un gruppo di due ingressi comandato dall'ingresso di abilitazione $\overline{2G}$. Il primo gruppo è abilitato come tutti gli altri; del secondo gruppo M1 non ci interessa nelle schede di espansione, mentre \overline{BUSAK} deve essere necessariamente inviato alle schede di espansione per segnalare quando il microprocessore si trova in modalità DMA.

Per questo il segnale di abilitazione $\overline{2G}$ vien post a massa, in modo che abiliti sempre i due ingressi cui sovrintende.

Si noti, inoltre, la presenza di un connettore a barretta J2 a cui vanno i segnali di controllo, al quale si possono collegare i puntali di un oscilloscopio per poter, in tal modo, analizzare le forme d'onda dei vari segnali.

Infine abbiamo i condensatori da C1 a C7 di 100 nF, che vanno posti in parallelo fra i piedini V_{CC} e GND di ogni integrato presente sulla piastra. Questi sono i condensatori di disaccoppiamento delle alimentazioni. Infatti un IC TTL, durante le transizioni delle sue uscite dal livello basso a quello alto, assorbe per brevi intervalli di tempo correnti superiori alla media, provocando però dei disturbi di tensione agli altri intervalli. La presenza di un condensatore crea un'inerzia che protegge gli altri integrati da questi sbalzi di tensione.